

자계 유도 고상결정화를 이용한 다결정 실리콘 박막 트랜지스터의 채널 길이와 드레인 전압에 따른 문턱 전압 변화

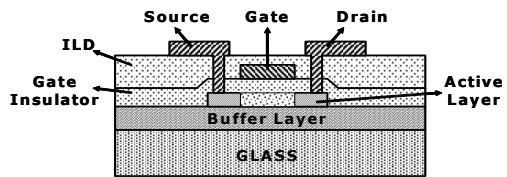
강동원, 이원규, 한상면, 박상근, 한민구
 서울대학교 전기공학부

Effect of Channel Length and Drain Bias on Threshold Voltage of Field Enhanced Solid Phase Crystallization Polycrystalline Thin Film Transistor on the Glass Substrate

Dong-Won Kang, Won-Kyu Lee, Sang-Myeon Han, Sang-Geun Park, and Min-Koo Han
 School of Electrical Engineering, Seoul National University, Seoul, South Korea:

Abstract - 자계 유도 고상결정화(FESPC)를 이용하여 제작한 다결정 실리콘(poly-Si) 박막 트랜지스터(TFT)는 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)보다 뛰어난 전기적 특성과 우수한 안정성을 지닌다. $V_{DS} = -0.1$ V에서 채널 폭과 길이가 각각 $5 \mu\text{m}$, $7 \mu\text{m}$ 인 P형 TFT의 이동도(μ)와 문턱 전압(V_{TH})은 각각 $31.98 \text{ cm}^2/\text{Vs}$, -6.14 V이다. FESPC TFT는 일반 poly-Si TFT에 비해 채널 내 결정 경계 숫자가 많아서 상대적으로 열악한 특성을 가진다. 채널 길이 $5 \mu\text{m}$ 인 TFT의 V_{TH} 는 채널 길이 $18 \mu\text{m}$ 소자의 V_{TH} 보다 1.36 V 작지만, 일반적으로 큰 값이다. 이 현상은 채널에 다수의 결정 경계가 존재하고, 수평 전계가 크기 때문이다. 수평 전계가 증가하면, 결정 경계의 전위 장벽 높이가 감소하게 되는데, 이는 DIGBL 효과이다. μ 의 증가에 따라서, 드레인 전류가 증가하고 V_{TH} 는 감소한다. 활성화 에너지(E_a)는 드레인 전압과 결정 경계의 수에 따라 변하는데, 드레인 전압이 크거나 결정 경계의 수가 감소하면 E_a 는 감소한다. E_a 가 감소하면 V_{TH} 가 감소한다. 유리 기판 위의 FESPC를 이용한 P형 poly-Si TFT의 V_{TH} 는 채널의 길이와 V_{DS} 에 영향을 받는다. 증가한 수평 전계가 결정 경계에서 에너지 장벽을 낮추는 효과를 일으키기 때문이다.

SiO_2 를 증착하였고, 게이트 전극을 형성하였다. 그 다음 이온 도핑을 수행하였고, SiN_x 의 층간 절연막(inter-layer dielectric)을 증착하였다. Contact hole을 만든 후에 소스 드레인 전극을 형성하였다. TFT의 채널 폭은 $5 \mu\text{m}$ 이고 채널 길이는 다양하게 $5 \mu\text{m}$ 에서 $18 \mu\text{m}$ 까지 제작하였다.



<그림 1> 제작된 top gate coplanar FESPC TFT의 단면

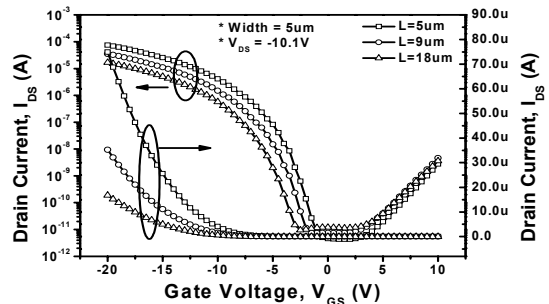
1. 서 론

능동형 유기 발광 다이오드(AMOLED) 디스플레이의 화소 단위로써 a-Si:H TFT는 넓은 면적에서 균일(uniformity)한 특성을 갖는 것으로 잘 알려져 있다.[1] 하지만 V_{TH} 이동 효과의 관점에서, a-Si:H TFT의 전기적인 특성은 아직까지는 향상될 필요가 있다.[2] 엑시머 레이저 결정화(excimer laser crystallization)방법을 사용한 저온 poly-Si TFT는 전기적인 바이어스(bias)에 안정적이고, 전계에 의한 캐리어 이동도(μ)가 크지만, 레이저에 의해서 발생하는 TFT의 비균일성은 향상되어야 한다. 레이저 결정화 없이 균일한 TFT의 특성과 신뢰성을 갖는 소자를 만들기 위해서 여러 결정화 방법이 제안되었다.[3] a-Si의 고상결정화(SPC)는 다결정 실리콘 박막(poly-Si film)을 만들 때 사용하는 전형적인 방법이다. 이 SPC 방법은 엑시머 레이저 결정화 방법에 비해서 공정이 간단하고 비용이 저렴하며 결정화 특성이 균일하고 다방면에 응용이 가능한 장점들이 있다.

2.2 토의(Discussion)

수평 전계 효과를 보기 위해 P형 FESPC TFT의 I-V특성을 측정하였다. 그림 2는 $V_{DS} = -10.1$ V에서 채널 길이에 따른 P형 FESPC TFT의 I-V특성을 보여준다. V_{TH} 는 $V_{DS} = -0.1$ V에서 드레인 전류 $(W/L) \times 10^{-8}$ A에 대한 게이트 전압이고, $V_{DS} = -10.1$ V, $V_{DS} = -20.1$ V에 대해서는 $(W/L) \times 10^{-7}$ A에 대한 게이트 전압으로 정의하였다. 그림 3에서 보듯이 채널 길이가 V_{TH} 에 영향을 주는 것을 알 수 있다. $V_{DS} = -10.1$ V일 때, 채널 길이 $5 \mu\text{m}$ 경우의 V_{TH} 는 -5.22 V, $18 \mu\text{m}$ 경우의 V_{TH} 는 -6.58 V로, 채널 길이가 길어질수록 V_{TH} 가 음의 방향으로 이동함을 알 수 있다.

그러나 SPC 방법은 600°C 이상의 고온의 열로 10시간 이상의 공정 시간(annealing time)이 필요하다. 이런 조건은 유리 기판의 변형을 가져오므로 유리 기판의 사용이 불가능하다.[4] 이에 결정화 온도를 낮추고 결정화 시간을 짧게 하기 위한 많은 연구가 진행되었다.[5]

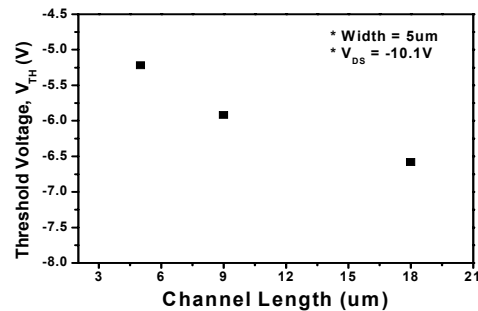


<그림 2> 다양한 채널 길이에 따른 P형 FESPC TFT의 I-V 특성

최근에 유리 기판 위에서 FESPC 연구가 발표되었다.[6] 이 연구는 자계를 이용하여 열 공정 시간을 줄이는 것인데, 할로젠 램프의 짧은 열 공정 시간과 주기적인 자계 때문에 가능하다. 이를 통하여 결정화 시간을 줄이게 되면, 유리 기판 위에 SPC 방법을 이용하여 poly-Si film을 형성할 수 있게 된다.

ΔV_{TH} 는 1.36 V이며, a-Si:H TFTs 와 poly-Si TFTs의 ΔV_{TH} 보다 크다. 짧은 채널 소자에서, 채널 길이가 짧아지면 전하 공유 효과(charge sharing effect) 혹은 드레인 유도 장벽 감소(DIBL) 효과에 의하여 V_{TH} 는 감소한다.

여기에서는 유리 기판위의 FESPC 방법을 이용한 P형 poly-Si TFT에서, 채널 길이와 V_{DS} 의 변화에 따라 V_{TH} 와 μ 등의 전기적 특성을 분석하였다. FESPC TFT는 결정화 시간이 짧아서 100nm 이하의 작은 결정들을 갖는다. 따라서 일반 poly-Si TFT에 비해서 FESPC TFT는 결정 경계면이 매우 크며, 결정 경계에서의 특성이 중요하게 된다. 본 연구를 통해 FESPC TFT의 이해에 도움이 되며, 저온 poly-Si TFT의 응용 범위를 넓힐 수 있다.



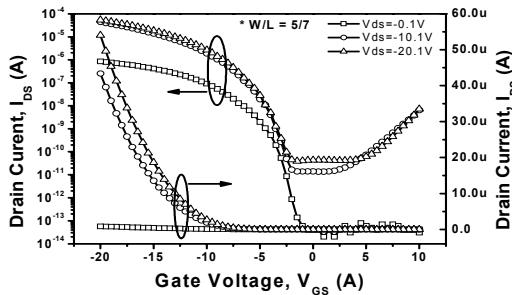
<그림 3> $V_{DS} = -10.1$ V에서 V_{TH} 의 채널 길이에 대한 의존도

2. 본 론

2.1 실험

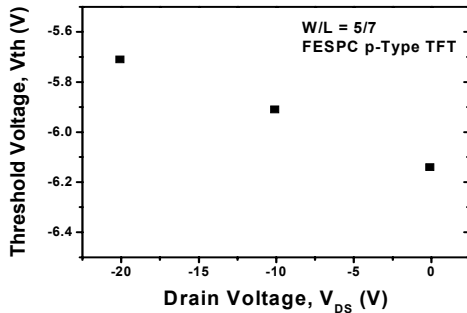
유리 기판위에 FESPC 탑 게이트(top gate)구조 코플레너(coplanar) poly-Si TFT를 제작하였다. 그림1은 top gate coplanar poly-Si TFT의 단면이다. 버퍼 층으로서 SiO_2 와 a-Si:H 층을 400°C 에서 플라즈마 유도 화학 기상 증착(PECVD)으로 유리 기판위에 증착하였다. a-Si film은 700°C 에서 FESPC방법으로 30분의 공정 시간으로 결정화 되었다. Poly-Si 영역을 형성한 후에, 게이트 절연막으로

그러나 5 μm 채널 길이의 FESPC TFT가 현재의 TFT기술에서는 짧은 채널 소자가 아니며, 더욱 긴 채널 길이에 대해서도 FESPC TFT의 V_{TH} 감소가 나타난다. FESPC TFT에서 수평 전계에 의한 효과를 보기 위해 V_{DS} 를 -0.1 V에서 -20.1 V까지 변화시켰다. 그림 4는 V_{DS} 의 변화에 따른 FESPC TFT의 V_{TH} 변화를 보여준다. 채널의 폭과 길이는 각각 5 μm , 7 μm 였다.



<그림 4> V_{DS} 의 변화에 따른 P형 FESPC TFTs의 I-V 특성

그림 5는 드레인 전압이 더욱 음전압(P형 TFT)이 되면서, V_{TH} 증가량이 감소한다. 측정 결과 V_{TH} 는 $V_{\text{DS}} = -0.1$ V에서 -6.14 V, $V_{\text{DS}} = -10.1$ V에서 -5.71 V로 ΔV_{TH} 가 0.43 V이다. 위의 두 결과를 정리하면 짧은 채널 길이와 높은 값의 V_{DS} 에서 TFT의 V_{TH} 는 감소한다.



<그림 5> V_{DS} 에 대한 V_{TH} 변화

$V_{\text{DS}} = -0.1$ V에서의 μ 는 31.98 cm^2/Vs 이다. 작은 결정 크기 때문에 다른 결정화 방법의 poly-Si TFT[7]에 비하여 이동도가 작다. 저온 poly-Si에 비해서 FESPC poly-Si film은 결정화 시간이 짧아서 결정 크기가 작고 결정 경계가 많게 된다. 각각의 결정 경계에서 드레인 전압이 증가함에 따라 전위 장벽은 낮아지는데, 이것을 드레인 유도 결정 장벽 감소(DIGBL)효과라 한다. 낮아진 장벽 경계에서의 장벽 높이 $\Psi_B(V_i)$ 는 포아송(poisson) 방정식을 풀어 얻을 수 있다.

$$\Psi_B(V_i) = \Psi_{B0}(V_i) - \frac{N_i^+ \epsilon_L}{2 n_{inv}} \quad (1)$$

$\Psi_{B0}(V_i)$ 는 드레인 전압이 낮을 때의 i 번째 결정 경계의 전위 장벽이고, N_i^+ 는 이온화된 결정 경계의 포획(trap)밀도이다.

ϵ_L 은 드레인에서 작용하는 평균 측면 전기장이며, n_{inv} 는 전도(inversion) 캐리어 농도[8]이다. 채널 길이가 감소하고 V_{DS} 가 증가하면서, 수평 전계는 증가한다. FESPC poly-Si film에서 수평 전계에 의한 에너지 장벽 감소 효과는 다른 poly-Si TFT와는 구분된다.

다결정 물질의 캐리어 이동도(μ)는 다음과 같다.

$$\frac{1}{\mu} = \frac{1}{\mu_G} + \frac{1}{\mu_{eff}} \quad (2)$$

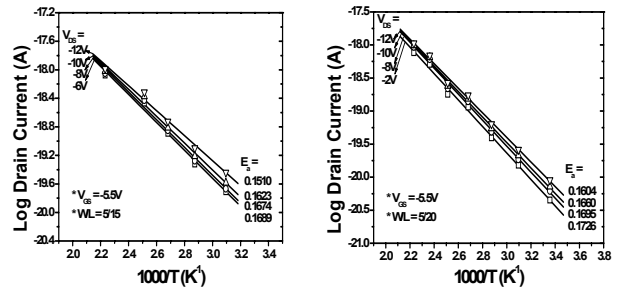
μ_G 는 결정 내에서의 이동도이며, μ_{eff} 는 다음과 같은 표현을 갖는 실제 이동도이다.

$$\mu_{eff} = \mu_0 \exp\left(-\frac{E_B}{kT}\right) \quad (3)$$

μ_G 는 결정 크기 증가에 따라 선형적으로 증가하고, E_B 는 에너지장벽의 높이이다.[9]

일반적으로 $\mu_G \gg \mu_{eff}$ 이기 때문에 μ 는 μ_{eff} 에 의해 결정된다. 1에서 3의 수식으로부터 수평 전계가 증가할수록, 전위 장벽 높이는 감소하고 μ_{eff} 와 μ 는 증가된다. 낮은 드레인 전압에서는 $(W/L) \times 10^{-8}$ A의 드레인 전류에 대한 게이트 전압으로, 높은 드레인 전압에서는 $(W/L) \times 10^{-7}$ A의 드레인 전류에 대한 게이트

전압으로 V_{TH} 를 정의했으므로 μ 가 증가함에 따라 드레인 전류는 증가하고, 따라서 V_{TH} 는 감소된다.



<그림 6> 제작된 FESPC TFT의 절대온도의 역수에 대한 소스-드레인 전류의 아레니우스 그래프. (a) $W/L=5/15$ 이고 (b) $W/L=5/20$. 절대 온도 T는 293K에서 448K까지 변화.

그림 6은 $(V_{\text{GS}} - V_{\text{TH}}) \approx 1$ V에서 채널 길이가 다른 P형 FESPC TFT의 출력 특성의 온도에 대한 의존도를 보여준다. Malhi *et al.* [10]에서 활성화 에너지는 드레인 전압과 결정 경계의 수에 결정된다는 것을 보여준다.(수식 4)

$$E_a = E_B - \frac{qV_D}{2N_g} \quad (4)$$

E_a 는 활성화 에너지이고 N_g 는 채널의 결정립의 수이다. 측정 결과, 증가한 V_{DS} 와 짧은 채널이 활성화 에너지를 감소시키며, 이것은 수식 4와도 일치하는 결과이다. FESPC TFT는 결정 크기 상당히 작아서 다른 poly-Si TFT에 비해 E_a 의 N_g 에 대한 의존성이 매우 크다. 전체적인 채널에서 에너지 장벽 감소는 짧은 채널과 높은 V_{DS} 값에서 V_{TH} 의 감소를 가져온다.

3. 결론

자계 유도 P형 SPC TFT를 제작하였다. 채널 길이 5 μm TFT의 V_{TH} (-5.22 V)는 채널 길이 18 μm TFT의 V_{TH} (-6.58 V)보다 1.36 V작다. 그리고 수평 전계 효과에 따른 V_{TH} 는 -6.14 V($V_{\text{DS}} = -0.1$ V일 때)에서 -5.71 V($V_{\text{DS}} = -20.1$ V)까지 변한다. ΔV_{TH} 는 0.43 V이다. 이 차이는 상당히 큰데, 그 이유는 TFT 채널에서의 결정 경계가 많고 그에 따른 DIGBL 효과 때문이다. DIGBL효과 때문에 캐리어 이동도와 드레인 전류는 증가하고, V_{TH} 는 감소한다. 결정 경계의 수가 적은 경우는 E_a 가 감소하고 감소된 E_a 가 V_{TH} 를 감소시킨다. 따라서 본 연구를 통하여 유리 기판위의 P형 FESPC TFT에서 V_{TH} 감소는 결정 경계의 수와 수평 전계에 영향을 받는다는 것을 확인하였다.

[참고 문헌]

- [1] A. K. Saafir, J. K. Chung, I. S. Joo, J. M. Huh, J. S. Rhee, S. K. Park, B. R. Choi, C. S. Ko, B. S. Koh, J. H. Hung, J. H. Choi, N. D. Kim, and K. H. Chung, *SID '05 Digest* 968 (2005).
- [2] V. D. Bui, Y. Bonnassieux, J. Y. Parey, Y. Djeridane, A. Abramov, P. R. Cabarrocas, and H. J. Kim, *SID '06 Digest* 204 (2006)
- [3] S.-W. Lee, and S.-K. Joo, *IEEE Electron Device Lett.* **17**, 160 (1996).
- [4] T. Sameshima, *J. Non-Cryst. Solids* **227-230**, 1196 (1998)
- [5] Y. Kawazu, H. Kudo, S. Onari, and T. Arai, *Jpn. J. Appl. Phys.* **129**, 729 (1990)
- [6] B. S. So, Y. H. You, H. J. Kim, Y. H. Kim, J. H. Hwang, D. H. Shin, S. R. Ryu, K. Choi, and Y. C. Kim in *Application of Field-Enhanced Rapid Thermal Annealing to Activation of Doped Polycrystalline Si Thin Films* pp. 275-280, (Mater. Res. Soc. Proc. **862**, 2005)
- [7] I.-H. Song, S.-H. Kang, W.-J. Nam, and M.-K. Han, *IEEE Electron Device Lett.* **24**, 580 (2003).
- [8] G.-Y. Yang, S.-H. Hur, and C.-H. Han, *IEEE Trans. Electron Devices* **46**, 165 (1999).
- [9] O. Bonnaud, T. Moammed-Brahim, and D. G. Ast in *Thin Film Transistors - Materials and Processes Volume 2 - Polycrystalline Silicon Thin Film Transistors* p37, edited by Y. Kuo (Kluwer Academic Publishers, New York, 2004),
- [10] S. D. S. Malhi, H. Shichijo, S. K. Banerjee, R. Sundaresan, M. Elahy, G. P. Pollack, W. F. Richardson, A. H. Shah, L. R. Hite, R. H. Womack, P. K. Chatterjee, and H. W. Lam, *IEEE J. Solid-State Circuits* **SC-20**, 178 (1985).