

## 고출력 MHL 전자식 안정기에 적합한 수동 PFC 회로 설계

박종연, 이봉진, 김기남  
강원대학교 IT 특성화 학부 전기전자전공

### Passive PFC Circuit Design for the High Power MHL Electronic Ballast

Chong yeon Park, Bong jin Lee, Ki nam Kim  
Dept. electrical and electronic engineering, Kangwon National Univ.

**Abstract** - 본 논문은 고출력 MHL(Metal Halide Lamp) 전자식 안정기에 적합한 새로운 형태의 수동 PFC 회로를 제안하였다. 제안한 수동 PFC 회로는 저단가로 구현할 수 있으며 수동 소자의 사용으로 인해 신뢰성을 향상시켰다. 또한 기존의 수동 PFC 회로보다 입력 전류의 THD 및 역률을 개선하였다. 제안된 수동 PFC 회로에 사용된 소자값의 결정 방법을 수식적으로 제시하였으며 P-spice를 이용한 컴퓨터 시뮬레이션 및 1000W MHL 전자식 안정기에 실제 적용한 실험을 통하여 제안된 수동 PFC의 성능을 증명하였다.

#### 1. 서 론

IEC 1000-3-2와 같은 국제 표준의 권장 및 채택으로 HID용 전자식 안정기에 대해 입력 전류의 고조파 제한, 입력 역률 개선(Power Factor Correction)에 대한 요구가 점차 커지고 있다 [1]~[7]. 기본적으로 역률은 0.95 이상, THD(Total Harmonic Distortion)는 20% 이하의 특성을 요구하고 있다. 여기에 경쟁력을 높이기 위해서는 저가격화와 신뢰성 확보라는 과제가 추가되어야 한다[1]~[3]. 앞에서 언급한 여러 가지 요구 조건을 만족시키기 위해 크게 수동 PFC 회로와 능동 PFC 회로를 사용하고 있다.

수동 PFC 회로의 종류로는 LC 필터 타입[4], LCD 타입[5], SCSR / PCSR / SCPR 타입[5]과 밸리필(Vally-fill) 회로 등을 사용하고 있으며 능동 PFC 회로는 부스트(boost) 형태의 회로를 사용하고 있다. 능동 PFC는 출력 전압이 일정하다는 장점이 있으나 스위칭 소자의 스트레스로 인한 신뢰성 저하 및 제품 단가 상승 등의 단점이 있다. 반면 수동 PFC는 출력 전압에 리플 성분 포함되며 제품의 부피가 커지고 무게가 증가하는 단점이 있는 반면에 높은 신뢰성과 제품 단가의 감소 등의 장점이 있다. 본 논문에서는 고출력 램프의 전자식 안정기에서는 신뢰성이 제일 중요하다는 전제하에서 수동 PFC 회로의 장점을 이용하며 능동 PFC 보다 성능은 떨어지지만 국내의 기준 PF 및 THD를 만족할 수 있는 회로를 제안하고자 한다.

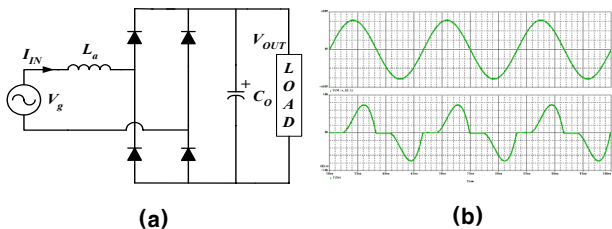
본 논문에서는 표 1의 조건을 만족시키며 수동 소자만으로 구성된 저가격의 1000W MHL용 전자식 안정기에 적용할 수 있는 수동 PFC 회로를 구현하고자 한다.

표 1 수동 PFC 회로 설계 규격

분류	PF	$I_{in} (THD)$	$V_{DC-link}$	$V_{De-link(ripple)}$	Power
목표	$0.95 \geq$	$20\% \leq$	250V	12.5V	1000W

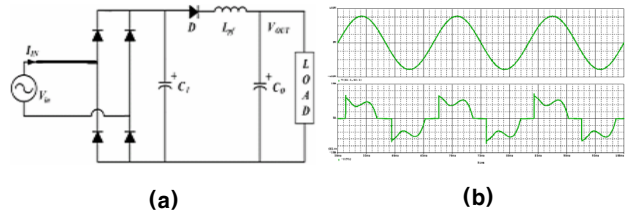
#### 2. 기존 회로 및 제안 회로

그림 1은 일반적인 다이오드 브리지 정류기에 수동 소자를 추가한 가장 간단한 구조의 수동 PFC 회로이다[6].



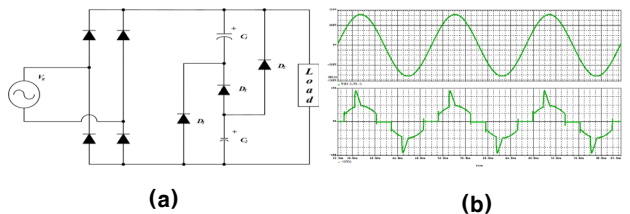
〈그림 1〉 LC PFC (a) 회로도 (b) 입력 전압(상) / 전류(하)

입력 전압원  $V_{in}$ 에 직렬로 인덕터  $L_g$ 를 연결한 구조이다. 가장 간단하게 제작할 수 있지만 그림 1(b)의 시뮬레이션 파형에서도 확인할 수 있듯이 입력 전류의 파형이 왜곡되어 THD, PF의 특성이 기준치에 미치지 못한다. 그림 2는 1998년도에 제안된 LCD PFC 회로이다[5]. LCD PFC 회로는 각 소자의 값을 작게 구성할 수 있지만 그림 2(b)와 같이 역률은 개선되는 반면 입력 전류의  $THD \geq 30\%$ 가 보통이며 대전력일수록 사용이 제한된다는 단점이 있다.



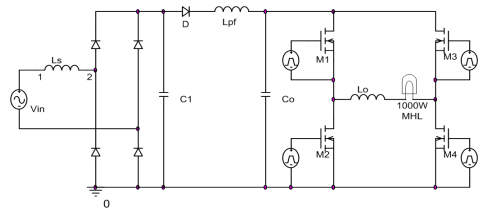
〈그림 2〉 LCD PFC (a) 회로도 (b) 입력 전압(상)/전류(하)

수동 PFC회로 이외에 비교적 저가이면서 높은 역률과 소형화를 실현할 수 있는 회로로서 밸리-필 회로가 사용된다. 그림 3은 일반적인 밸리-필 회로이며 그림 3(b)는 밸리-필 회로를 연결하였을 때 입력 전압/전류 파형이다.



〈그림 3〉 밸리-필 (a) 회로도 (b) 입력 전압(상)/전류(하)

밸리-필 정류회로는 0.85이상의 역률을 제공하지만, 전류 THD가 약 40%이므로 고조파 제한 항목인 IEC 1000-3-2 표준보다 크다. 또한, 출력 리플 전압이 정류 전압 첨두치의 50%를 초과하며 이러한 큰 리플 전압을 허용할 수 있는 부하에서만 적당하다. 그림 4는 본 논문에서 제안한 수동 PFC 회로도이다. 기존에 LCD 수동 PFC 회로에 인덕터를 추가로 삽입함으로써 입력 전류의 THD 및 PF를 개선하였다. 전파 정류 회로의 가장 큰 문제점이었던 펄스성의 입력 전류는 전원단에 인덕터를 삽입함으로써 해결하였고 C1으로 지상 전류를 보상하였다. Lpf와 Co의 역할은 출력 전압의 크기 조절 및 출력 전압의 리플을 조절한다.



〈그림 4〉 제안한 수동 PFC 회로

## 2.1. 설계 절차

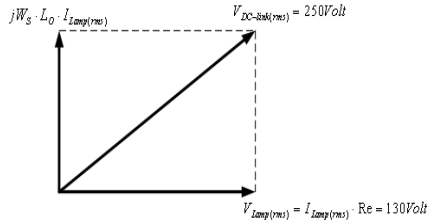
제안된 수동 PFC 회로의 소자값 결정은 표 2의 조건을 만족하도록 설계되었다.

표 2 설계 조건

분류	$V_{in}$	$V_{Lamp}$	$I_{Lamp}$	$V_{DC-link}$	$f_{Switching}$
조건	220 V	130 V	8.0 A	250 V	20 kHz

### ▶ step 1. Lo의 결정

1000W MHD 램프의 관전압은 130V이며 관전류는 8A이다. 수동 PFC 회로의 출력 전압을 250V로 조절하기 위해 Lo의 값은 그림 5의 벡터도에 의해 구할 수 있다.



〈그림 5〉 Lo 결정을 위한 벡터도

$$jW_s \cdot L_o \cdot I_{Lamp(s)} = 213.5 V$$

$$jW_s \cdot L_o = j26.7 \Omega$$

$$L_o = \frac{jX_{L_o}}{j\omega_s} = \frac{j26.7}{j2\pi \cdot 20 \times 10^3} = 212.471 \mu H \quad (1)$$

### ▶ step 2. Co의 결정

수동 PFC 출력 전압의 리플을 줄이는 Factor로서 공식을 활용하여 소자값을 결정한다.

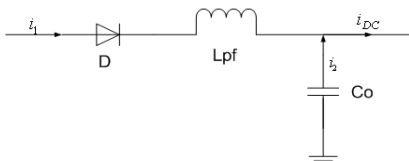
$$C_o = \frac{2.4 \times I_{DC}}{V_r(rms)} = \frac{2.4 \times 5000 mA}{12.5 Volt} = 960 \mu F \quad (2)$$

여기서  $V_r(rms)$ 는 수동 PFC 회로의 출력 전압에 포함된 리플 전압이다. 출력 전압의 5%를 리플 전압으로 설정하였다.  
( $\therefore V_r(rms) = 250 V \times 0.05 = 12.5 Volt$ )

### ▶ step 3. Lpf의 결정

Lpf 리플 전압은 전원 전압의 40%로 가정하여 설계하였다.  
 $V_{Lpf} = 220 \times 0.4 = 88 V$  (3)

여기서,



〈그림 6〉 제안한 회로의 전류 흐름도

$i_{DC} = i_1 + i_2$ 에서  $i_1$  전류는  $i_1 < i_{DC} = 8A$ 인 조건을 만족하는 범위인 6.5A로 설정하였다.

$$L_{pf} = \frac{88 Volt}{2\pi \times 120 Hz \times 6.5 A} = 18 mH \quad (4)$$

### ▶ step 4. C1의 결정

전파 정류 후에 커패시터 C1의 허용 가능한 리플 전압은 입력 전압 크기의 80%로 설정하였다.

$$C_1 = \frac{2.4 \times I_{DC}}{V_r(rms)} = \frac{2.4 \times 5000 mA}{176 Volt} = 68 \mu F \quad (5)$$

### ▶ step 5. Ls의 결정

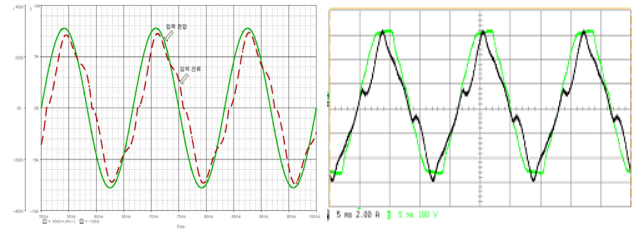
Ls는 램프 점등시 돌입 전류의 제한 및 역률을 개선한다. 따라서 현재 부하가 1000W MHL이므로 초기 점등시 램프 관전류의 2~3배의 전류가 유입된다. 1000W MHL의 정격 전류가 8A이므로 초기 전류의 제한을 8A의 2.4배인 19.2A로 제한하기로 하였다.

$$X_{L_s} = \frac{V_{in(rms)}}{I_{in(rms)}} = \frac{220 Volt}{19.2 A} = j11.458 \Omega$$

$$L_s = \frac{j11.458 \Omega}{j2\pi \times 60} = 30.39 mH \quad (6)$$

## 3. 시뮬레이션 및 실험

그림 4의 제안한 수동 PFC 회로에 1000W MHL 부하를 연결한 후 시뮬레이션을 실행하여 얻은 결과와 실험을 통해 측정된 결과를 그림 7과 그림 7(b)에 나타내었다.



〈그림 7〉 (a) 시뮬레이션 결과 입력 전압(실선)/전류(점선)  
(b) 실험 결과 입력 전압(검)/전류(회)

그림 7과 그림 7(b)에서 확인할 수 있듯이 시뮬레이션 결과와 실험 결과가 거의 동일함을 확인할 수 있다. 측정 결과 역률은 0.96, 입력 전류의 THD는 19.8%로 설계 목표치를 만족하였다.

## 4. 결 론

본 논문은 여러 회로에서 사용되고 있는 수동 PFC 회로의 장점인 낮은 단가와 높은 신뢰성을 유지하면서 입력 전류의 THD와 PF를 향상시켰다. 기존에 발표되었던 LCD PFC 회로의 장점과 LC PFC의 장점을 결합하여 새로운 형태의 수동 PFC를 제안하였으며 컴퓨터 시뮬레이션 및 실험을 통하여 본 논문에서 제안한 수동 PFC 회로의 유용함을 증명하였다.

컴퓨터 시뮬레이션 및 실험 결과 입력 전류의 THD는 19.85%, PF는 0.96으로 초기 목표했던 설계 조건을 만족하였다. 제안된 회로를 400W 이상의 고품질 전자식 안정기에 적용함으로써 단가의 하락과 더불어 신뢰성도 확보될 것이라 사료된다.

### [참 고 문 헌]

- [1] K.N.Sakthivel, Sisir K.Das, K.R.Kini, "Importance of Quality AC Power Distribution and Understanding of EMC Standards IEC 61000-3-2, IEC 61000-3-3 & IEC 61000-3-11", Proceeding of INCEMIC, 2003
- [2] R. Carbone, A.Scappatura, "A High Efficiency Passive Power Factor Corrector for Single-Phase Bridge Diode Rectifiers", IEEE. Ann. conf., pp. 1627-1630, 2004
- [3] R. Carbone, P.Corsoneo, "A New Passive Power Factor Correction for Single-Phase Bridge Diode Rectifiers", IEEE, 2003
- [4] W.M.Lin, J.Sebastian, A.Fernandez, M.M.Hernando, P.J.Villegas, "Design of the Basic Rectifier with LC Filter to Comply with the New Edition of the IEC1000-3-2 Current Harmonics-Limit Specifications(Edition 2.0)", IEEE, 2002
- [5] Mangesh Borage, Sunil Tiwari and S.Kotaiah, "Passive Techniques for Compliance of Single-phase Rectifiers with IEC 1000-3-2 Norms", Proceedings of INCEMIC, 2003
- [6] Milan M. Jovanovic and David E. Crow, "Merits and Limitations of Full-Bridge Rectifier with LC Filter In Meettign IEC 1000-3-2 Harmonic-Limit Specifications", IEEE, 1996
- [7] Richard Redl, "An Economical Single-Phase Passive Power-Factor-Corrected Rectifier:Topology, Operation, Extensions, and Design For Compliance", IEEE, 1998