

## 국내 파워 IC 공정의 소자 특성 비교 분석

고민정, 박시홍  
단국대학교 전자컴퓨터공학과

### The Comparison of Active Device Characteristics in Domestic Power IC Processes

Min-Jung Ko, Shihong Park  
Department of Electronic and Computer Engineering, Dankook University

**Abstract** - 파워 IC 공정은 CMOS 공정과 달리 내압별로 다양한 소자가 제공되며 BJT와 DMOS 구조를 포함할 경우 마스크가 20장이 넘는 매우 복잡한 공정이다. 본 논문에서는 국내의 파운드리 기업인 동부하이텍과 매그나칩사에서 제공하는 파워 IC 공정 및 제공되는 소자의 특성을 비교 분석하였다.

#### 1. 서 론

정보기기 및 모바일 시장에서의 한국기업의 시스템 경쟁력이 매우 높아지고 있으며 시장에서 요구되는 반도체 부품의 시장도 급속히 증가하고 있다. 메모리 및 디지털 반도체의 경우 한국의 경쟁력이 매우 높은 반면 파워 IC에서의 국가적인 경쟁력은 매우 낮은 것이 현실이다. 그 결과 디스플레이 정보기기 및 모바일에 사용되는 파워 IC는 Maxim, Linear Technology, TI와 같은 해외 선진기업에서 전량 수입하고 있는 실정이다. 순수 국내기업인 KEC 반도체는 소신호 트랜지스터의 생산 중심에서 최근 MOSFET 및 파워 IC의 개발로 전환하고 있다. 이와 같은 국내 파워 IC 시장의 확대에 따라 최근 파운드리를 이용하여 파워 IC를 설계하는 팹리스 기업이 많이 설립되고 있다. 초기 팹리스 기업들은 국내의 파운드리 보다는 대만 등 해외의 파운드리를 많이 이용하였으나 해외 대기업과 비교하여 상대적으로 원가 경쟁력 확보 및 생산량 확보에 어려움을 겪는 경우가 많다. 무엇보다도 제품설계에서 확보한 노하우 및 아이디어가 해외로 유출되는 국가경쟁력차원에서 심각한 문제를 안고 있다. 본 논문에서는 국내의 대표적인 두 파운드리 회사인 동부하이텍(전 동부일렉트로닉스, 이하 D사)과 매그나칩반도체(이하 M사) 대표적인 파워 IC 공정인 D사의 0.35um BD350 공정과 M사의 HV60C40 공정의 개요와 Active 소자 특성을 비교 분석하였다.

#### 2. 본 론

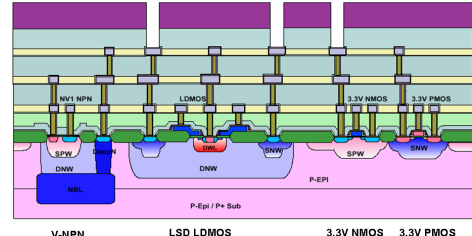
##### 2.1 공정소개

D사와 M사의 파워 IC 공정의 비교표가 표1에 나타나 있다. 한 세대 앞선 D사의 BD350 공정이 제공하는 소자가 다양하고, Epi의 사용으로 Isolated type의 NMOS와 BJT를 제공하는 것이 특징이다. M사의 HV60C40은 0.6인치 웨이퍼에 Deep trench 기술을 사용하여 고전압소자의 Isolation을 구현하였으며 Epi를 사용하지 않는 공정이다.

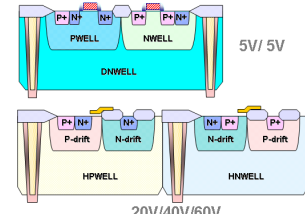
그림 1은 각 사의 공정 단면도를 나타낸다. BD350의 경우 epi의 사용으로 고전압 및 Isolated type의 소자 구현이 용이한 반면 원가가 상승하며 공정이 복잡한 것이 단점이다. HV60C40은 Epi를 사용하지 않는

<표 1> 공정비교표

	BD350 (D사)	HV60C40 (M사)	단위
Wafer Size	8	6	인치
최소 Design Rule	0.35	0.6	um
Starting Material	P-type/P-epi (7 ohm-cm)	P-type (10 ohm-cm)	
Isolation	Junction	Trench	
Gate Oxide	75/300	125/250	Å
Vthreshold (NMOS)	0.74/1.2	0.6/1.3	V
Metal	1Poly/3Metal	1Poly/3Metal	
Mask 수	22+option	25+option	개
Active 소자수	3.3/8/12/30/60V CMOS, BJT	5/20/40/60V CMOS	
Isolation NMOS	저전압 및 고전압 소자 제공	5V 소자 제공	



(a) BD350 공정 단면도



(b) HV60C40 공정 단면도

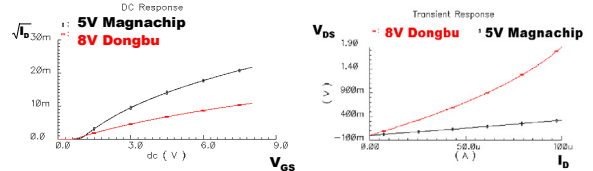
<그림 1> 대표소자의 공정 단면도

것이 특징으로 5V 소자는 일반적인 CMOS 구조인 반면 20V/40V/60V 소자의 경우 DMOS의 구조와 매우 유사하다. Deep Trench 기술을 적용하고 DMOS 구조를 응용하여 내압을 높이는 방식을 사용하여 소자의 크기를 줄인 것이 큰 특징이며 6인치 No-epi 웨이퍼의 사용으로 공정의 단가는 낮으나 트랜치 방식 적용으로 원가가 다소 상승할 것으로 예상된다. M사의 고전압 소자의 경우도 D사의 DMOS와 같이 Length을 고정시켜 사용해야 한다.

##### 2.2 소자 특성 비교 분석

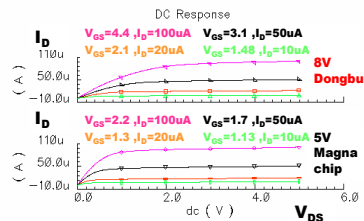
###### 2.2.1 소자 특성 비교 파라미터

두 사의 공정 비교를 위해서 아날로그 및 디지털 동작 특성에 영향을 크게 미치는 gm, ro, Ron을 비교 파라미터로 선정하고 시뮬레이션을 통해서 각 파라미터의 값을 구하고 비교 분석하였다. 시뮬레이션은 Cadence사의 Virtuoso를 사용하였다. 그림2의 (a), (b) 및 (c)는 각각 위의 3가지 파라미터를 구하기 위한  $V_{GS}-I_D$ ,  $V_{DS}-I_D$ ,  $R_{ON}$ 의 특성 그래프를 나타내며 M사의 5V NMOS와 D사의 8V NMOS를 동일한 조건에서 시뮬레이션한 결과를 나타내는 그래프이다.



(a)  $V_{GS}-I_D$  특성 그래프

(b)  $R_{ON}$  특성 그래프



(c)  $V_{DS}-I_D$  특성 그래프

<그림 2> 소자 특성 비교 그래프

**2.2.2 소자 특성 비교**

M사에서 제공하는 소자수가 D사 대비 적기 때문에 M사를 기준으로 공정을 비교하였다. M사의 5V, 20V, 60V CMOS를 비교하기 위해서 유사한 내압을 갖는 D사의 8V, 12V, 30V, 60V CMOS 와 30V, 60V DMOS의 파라미터를 시뮬레이션을 통해서 구하고 표2-5에 나타내었다.

**a) 저전압 소자 특성 비교**

표 2에 5V CMOS 비교표를 정리하였다. 흥미로운 것은 5V급에서 사용할 수 있는 CMOS의 최소 크기는 디자인률이 0.6um M사의 소자가 더 작다는 것이다. 이는 D사의 경우 3.3V 소자를 제공하는 대신에 5V 소자는 없고 8V 소자가 제공되기 때문이다. gm과 ron 특성을 비교해보면 M사의 소자가 D사와 대비하여 특성이 우수하게 나타난다. ro의 경우는 둘 다 높은 값을 나타내나 D사의 소자가 조금 더 좋다. 종합적으로 볼 때 5V 소자가 주로 사용되는 파워 IC의 경우 M사의 공정을 활용하는 것이 유리해 보인다. 다만 로직이 많이 사용되는 IC의 경우에는 D사의 경우 3.3V 소자를 제공하기 때문에 전체적인 칩사이즈를 예측 비교해 본 후 가격 등을 판단하여 최종적인 결론을 얻어야 할 것이다.

**<표 2> M사 5V CMOS vs. D사 8V CMOS 특성비교**

회사명	소자	최소W/L[um]	gm[uA/V]	Ron[kΩ]	ro[MΩ]	ID[uA]
M사	NMOS	1.2 / 0.6	123.576	3.199	1.501	10
	PMOS	1.8 / 0.6	106.242	6.101	1.475	10
D사	NMOS	1.2 / 2.5	46.825	18.537	1.915	10
	PMOS	1.2 / 2	20.093	38.767	2.404	10

**b) 중전압 소자 특성 비교**

12V-30V 사이의 중전압에서는 M사의 경우 20V CMOS를 제공하고 D사의 경우 12V와 30V CMOS 및 30V DMOS 소자를 제공한다. 표 3은 중전압 소자의 특성비교표이다. M사의 20V 소자의 최소 크기가 매우 크게 나타나는 것은 소자의 채널 구조가 도넛 형태로 되어 있기 때문이다. 즉 CMOS라기 보다는 DMOS에 가까운 구조이다. 이러한 구조에서 소자의 크기를 줄이기 위해서 M사는 트랜치 Isolation 기술을 사용하였다. 표 4는 양사에서 제공하는 중전압 및 60V 고전압 소자의 Half-Pitch를 나타낸다. M사의 20V/60V 소자의 Half-Pitch는 14.9um 동일하며 D사의 60V CMOS 대비해서도 소자의 크기가 크다. D사에서 제공한 DMOS의 경우 Half-Pitch는 30V/40V/50V/60V 소자에 대해서 각각 4.7/5.5/6.2/6.9um이다. 이는 유사한 DMOS 구조를 사용한 M사의 소자 대비 삼분의 일 수준이다.

**<표 3> M사 20V CMOS vs. D사 12V/30V CMOS & 30V DMOS 특성비교**

회사명	소자	최소W/L[um]	gm[uA/V]	Ron[kΩ]	ro[MΩ]	ID[uA]
M사	20V NMOS	45.1 / 1.5	549.505	0.638	0.975	10
	20V PMOS	45.1 / 2.5	337.502	1.935	9.009	10
D사	12V NMOS	1.2 / 3.4	45.861	9.724	3.095	10
	12V PMOS	1.2 / 2.5	22.524	27.560	3.953	10
	30V NMOS	1.2 / 4	32.171	14.701	0.919	10
	30V PMOS	1.2 / 7	10.030	82.966	47.619	10
	30V DMOS	4 / 1.8	680.428	0.556	6.711	10

**<표 4> 중고전압 소자의 Half-Pitch 비교**

소자	12V NMOS	12V PMOS	20V NMOS	20V PMOS	30V NMOS	30V PMOS	60V NMOS	60V PMOS	단위
M사 Half-Pitch	제공 안함	제공 안함	14.9	14.9	제공 안함	제공 안함	14.9	14.9	um
D사 Half-Pitch	5.7	4.8	제공 안함	제공 안함	7.3	9.5	10.7	13.1	um

20V급의 CMOS를 아날로그 블록에 주로 사용하는 파워 IC 설계 시에는 D사의 공정이 칩사이즈 측면에서 훨씬 유리하다고 볼 수 있다. 또한 D사의 경우 12V Isolated NMOS와 30V Isolated DMOS를 제공하기 때문에 다양한 출력구조에 맞게 설계하기 용이하다. 20V의 소자가 주로 고출력 전류구동용으로 사용되는 파워 IC의 경우에는 M사와 D사의 공정을 모두 사용해도 무방할 것으로 예상된다.

M사 공정의 20V 소자 사용 시 주의할 것은 Bulk 바이어스가 제한적이라는 것이다. 소자의 기본 구조가 DMOS와 유사하여 기본적으로 Source와 Bulk가 단락된 경우에만 사용하도록 추천하고 있다. N+와 P+

의 제너 내압이 5-6V 이내에서는 Bulk 내압 변경이 가능할 것으로 예측되나 각 Bulk 바이어스에서의 소자동작을 완전하게 시뮬레이션 할 수 있는 파라미터는 아직 제공되지 않는다. 결국 20V 아날로그 블록이 요구되는 IC의 설계에는 M사의 공정보다는 D사의 공정을 사용해야 한다.

**b) 고전압 소자 특성 비교**

60V 고전압 소자의 경우 주로 구동이나 레벨 시프트를 위한 디지털 동작을 하게 되어 아날로그 특성을 나타내는 gm 과 ro 보다는 Ron 특성이 더욱 중요한 파라미터이다. M사의 경우 60V CMOS를 D사의 경우 60V CMOS 및 60V DMOS 소자를 제공한다. D사의 60V DMOS의 경우 Isolated NMOS의 동작을 하기 때문에 Half-Bridge 출력단을 NMOS-NMOS 형태로 사용가능하며 Class-D 앰프의 출력단 구동 IC, 고출력 One Chip Buck 컨버터 설계가 가능하다. 이는 Epi를 사용하고 Buried Layer와 Deep N+를 사용하여 DMOS를 완전히 Isolation 시킬 수 있는 구조이기 때문이다. Epi를 사용하지 않는 것을 기본 구조로 한 M사의 경우 Isolated 된 NMOS는 만들 수가 없기 때문에 High-Side에 NMOS를 사용하는 출력단에는 사용할 수 없다. M사의 경우 60V 파워 IC 설계 시 상측 구동은 PMOS를 사용해야 한다.

표 5는 양사의 60V급 소자에 대한 비교표이다. Ron 저항 비교를 보면 M사가 D사 보다 우수한 특성을 나타낸다. 60V급 소자의 게이트 전압을 8V로 고정하여 나온 결과이다. 실제 D사 60V 소자의 경우 12V까지 구동가능하기 때문에 Ron 특성을 12V에서 비교하면 더 낮은 값의 Ron을 기대할 수 있다. 중전압 소자에서와 같이 고출력 전류 구동이 필요한 파워 IC 설계 시에는 M사의 공정을 고려해 볼 수 있으나 20V와 30V 급의 파워 IC의 경우에는 소자 크기 측면에서 M사가 열세이다.

그러나 60V 고출력 전류 구동을 가진 PMOS의 특성이 요구되는 응용 분야에서는 M사의 공정을 사용할 수 있다. 표 5에서 나타나듯이 D사의 60V PMOS 소자의 Ron 특성은 사이즈를 크게 사용하더라도 M사의 PMOS 특성보다 좋다고 볼 수 없다.

**<표 5> M사 60V CMOS vs. D사 60V CMOS & DMOS 특성비교**

회사명	소자	최소W/L[um]	gm[uA/V]	Ron[kΩ]	ro[MΩ]	ID[uA]
M사	60V NMOS	58.4 / 2.5	1335	0.682	37.037	10
	60V PMOS	58.4 / 2.5	883.992	2.287	10.417	10
D사	60V NMOS	1.2 / 4	26.931	29.443	23.256	10
	60V PMOS	1.2 / 7	8.989	125.960	58.823	10
	60V DMOS	4 / 1.8	1170	0.750	9.804	10

**3. 결 론**

본 논문에서는 국내의 대표적인 파운드리 제공 기업인 동부하이텍과 메그나칩의 60V 파워 IC 공정을 비교 분석해 보았다. 내압 5V의 저전압 소자특성은 NMOS 와 PMOS 둘 다 M사의 소자가 좀 더 우수한 특성을 나타냈지만 20V와 60V 내압의 소자 특성 비교에서는 D사의 공정이 제공하는 소자가 다양하고 더 나은 특성을 기대할 수 있었다. M사에서 제공하는 20V CMOS 소자의 경우 소자의 크기가 D사 대비 매우 크게 나타났다. 또한 D사에서는 DMOS와 BJT를 추가적으로 제공하여 다양한 소자를 활용한 설계가 가능하다. 전반적으로 동부의 공정에서 제공한 소자의 특성이 보다 우수하게 나타나는데 이것은 너무나도 당연한 결과이다. D사는 M사 대비 한세대 앞선 공정장비와 Epi 웨이퍼를 사용하기 때문이다. 그 결과 D사의 0.35um BCD공정은 M사의 0.6um CDMOS공정에 비해 생산비용이 높은 단점을 가지고 있다. 따라서 각 공정의 강점을 이해하고 파워 IC 설계에 필요한 소자의 특성을 분석한 다음 개발하고자 하는 파워 IC에 대하여 각각의 공정을 사용할 경우의 예상 칩사이즈를 토대로 원가를 비교 검토한 후 공정을 선택해야 한다.

**[감사의 글]**

본 연구는 산업자원부 전력IT 사업중 "분산발전 및 산업용 인버터 응용을 위한 전력반도체 기술개발"에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

**[참고 문헌]**

[1] 동부하이텍, BD350 공정자료집  
 [2] 메그나칩스, HV60C40 공정자료집  
 [3] Benda. V. Gowar. J. Grant. D. A., "POWER SEMICONDUCTOR DEVICES - Theory and Applications", John Wiley & Sons., 1999.  
 [4] Sedra, Smith, "Microelectronic Circuits 5th Edition", Oxford, 2003