

인쇄회로기판에 적용한 임베디드 소자에 관한 연구

*홍근기, 정예초, 홍순관, 김철주

서울시립대학교 전자전기컴퓨터공학부 (kkhong@empal.com)

1. 서론

임베디드 패시브 기술(embedded passive technology)은 PCB에 실장 되는 저항, 캐패시터와 같은 수동부품(passive components) 들을 기판에 내장(Embed)하는 기술이다. 수동부품은 PCB기판에서 개수로는 약 90%, 면적으로는 40% 정도를 차지한다. 수동부품을 PCB에 내장하면, IC와 같은 능동부품(Active component)과 배선을 위한 공간이 추가로 확보된다. 따라서 PCB의 전기적인 특성을 향상시킬 수 있고, 제조원가를 절감할 수 있으며, solder joint가 감소하여 제품의 신뢰성(reliability)을 높일 수 있다. 특히 임베디드 패시브 기술을 적용하면 수동부품과 능동부품이 수직으로 연결되어 배선 길이가 크게 감소한다. 이는 RF 신호를 사용하는 전자기기에서 기생효과(parasitic effect)에 의한 임피던스의 증가와 신호지연 및 cross talk 등의 문제를 해결하기 위한 대안이 된다.

임베디드 캐패시터(embedded capacitor ; 이하에서는 EC로 표기함)는 PCB의 내층(inner layer)에서 유전체(dielectric material)를 매개로 Cu로 전극을 형성하는 등의 방법으로 만들어진다. EC의 성능을 표시하는 가장 중요한 Factor는 정전용량 밀도(capacitance density)이다. 이는 단위면적당의 캐패시턴스를 나타내며 주로 nF/cm^2 로 표시한다. 정전용량 밀도는 유전체의 두께 및 유전율과 밀접한 관련이 있다.

EC는 유전체의 종류와 형성방법에 따라 thick film형과 thin film형으로 구분된다. Thick film형은 FR-4와 같은 PCB의 기존의 층간 절연체나 $BaTiO_3$ + Polymer resin으로 구성된 paste를 유전체로 사용하여 제조된다. Thin film형은 스퍼터링(sputtering)이나 sol-gel 등의 방법으로 $1\mu m$ 내외의 박막 유전체를 형성하여 EC를 제작하는 방법이다. Thin film형은 유전체의 두께가 얇은 만큼 높

은 정전용량 밀도를 얻을 수 있으나 생산성과 신뢰성(leakage current 등)이 낮은 문제가 있어 아직 제품에 적용되지는 못하고 있다.

현재는 thick film형 EC의 양산기술이 확보되어 상용 제품에 적용되고 있다. 그런데 thick film형 EC는 정전용량 밀도가 수십 nF/cm^2 에 불과하여 PCB보드의 임피던스를 증가시키는 문제점을 가지고 있다. 그리고 이 정도의 정전용량 밀도로는 pF(Pico farad)급의 캐패시터만을 제작할 수 있다. 이 때문에 EC는 Bypass 또는 Decoupling용으로만 사용될 뿐 PCB 상의 모든 캐패시터를 대체하지 못하는 실정이다^[5~7]. 임베디드 레지스터(embedded resistor)의 경우에는 넓은 범위의 크기를 갖는 저항을 구현할 수 있음은 물론 레이저 트리밍(laser trimming) 등의 기법을 사용하여 저항값의 정밀도를 높이는 기법 등을 사용하여 제품에 기술을 적용하는데 큰 어려움이 없다. 반면에 EC의 경우에는 위에서 언급한 바와 같이 큰 용량을 구현하는데 어려움이 있어 그 활용이 크게 제한받고 있는 실정이다.

이에 본 연구에서는 thick 및 thin film형 EC 모두에 있어서 정전용량 밀도를 높일 수 있는 방안을 제시하고 그 효용성을 확인하였다.

그림 1에 정전용량 밀도를 높이는 방안으로 본 논문에서 제안한 wrinkle형 캐패시터 구조를 보였다. 이는 캐패시터의 정전용량이 전극의 면적에 비례한다는 점을 고려한 구조로서, 기존의 EC는 planar한 전극 구조로 이루어져 있지만 wrinkle형 EC는 전극이 요철(凹凸)을 가지도록 하여 전극면적을 확대하였다.

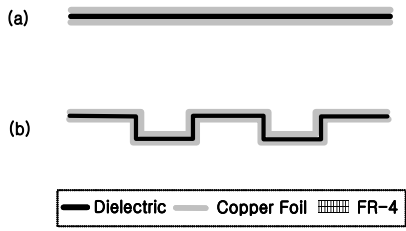


그림 1. Wrinkle형 EC[그림(b)]와 기존의 EC[그림(a)]의 비교

Fig. 1. Comparison of Wrinkle Type EC with Conventional EC

2. 연구 결과

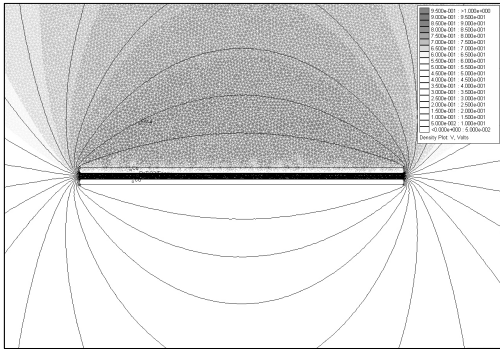
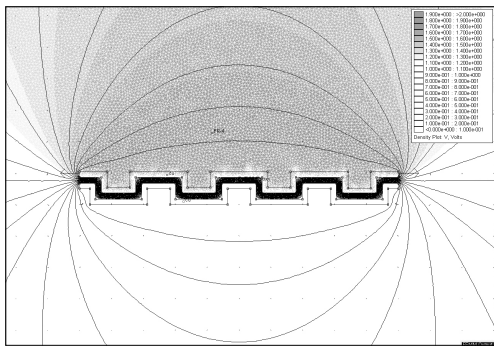
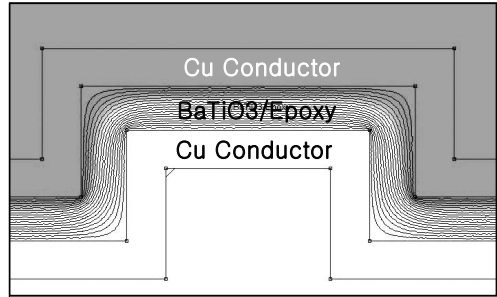


그림 2. 기존의 EC에 대한 시뮬레이션 결과
Fig. 2 Simulation Result for Conventional EC



(a)Overview of Simulation Result



(b)Potential Distribution at the Wrinkled Conductor

그림 3. Wrinkle형 EC에 대한 시뮬레이션 결과

Fig. 3. Simulation Result for Wrinkle Type EC

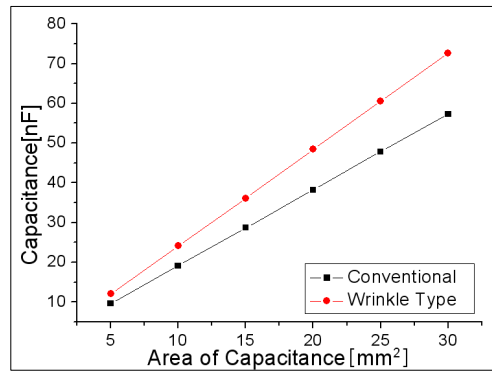


그림 4. 전극면적에 따른 캐패시턴스의 변화

Fig. 4 Variation of Capacitance according to the Capacitor Area(obtained from the Thick Film Type EC)