

# 저온 Poly-Si TFT를 이용한 System on Panel용 8-Bit DAC 설계

\*변춘원, 최병덕

한양대학교 전자통신컴퓨터공학부

e-mail: bdchoi@hanyang.ac.kr

## Design of 8-bit DAC for System on Panel using Low Temperature Poly-Si TFTs

\*Chun-Won Byun, Byong-Deok Choi

Division of Electrical and Computer Engineering

Hanyang University

### Abstract

This paper has proposed a serial 8-bit DAC for column driver circuits of mobile displays using LTPS TFTs. The DAC circuit takes very small area by using parasitic capacitance of column lines as sampling and holding capacitors. Moreover, the proposed DAC does not need the analog buffer, because the DAC operation is performed on the column lines. For the data driver circuits of 2-inch qVGA OLED panel, the DAC area is 84um x 800um and the simulated DAC power consumption is 8.5mW with 10-V supply voltage.

### I. 서론

저온 Poly-Si TFT를 이용하여 구동 회로, 컨트롤러, 전원 회로 등을 유리 기판 상에 내장하는 SoP(System on Panel) 기술은, 저가격, 저소비 전력 및 고화질의 표시 성능을 가진 고성능 다기능의 시스템 디스플레이를 제공할 것으로 기대되고 있다[1][2]. 이러한 SoP의 구현을 위해서는 TFT의 성능 및 균일성 향상뿐 아니라, TFT 회로 설계 기술이 매우 중요하다. TFT는 단결정 실리콘에 비하여 소자의 크기가 매우 크고, 전류 구동 능력이 떨어지며, 특성의 산포가 매우 크기 때문에, 이에 대응하는 회로 설계 기술이 필요하다. 특히 데이터 구동 회로에서 DAC는 가장 큰 면적과 소비 전력을 차지하고, 디스플레이의 표시 성능에 매우 큰 영향을 미치는 회로로서, 소면적 저소비전력 DAC의 구현이 강력히 요구된다[3]. 특히, 기존에 가장 널리 사용되는 저항형 DAC는 영상 데이터가 1-bit 증가할 때, 면적이 2배 이상 증가하기 때문에, 1600만 색상 표시를 위한 8-bit DAC는 종래의 6-bit DAC에 비하여 4배 이상 면적이 증가하게 된다.

따라서 본 논문에서는 패널 DAC의 개념을 제안하여 소면적 8-bit DAC를 구현하고자 한다.

### II. 본론

#### 2.1 SoP 기술을 이용한 기존의 DAC 설계 기술

기존의 SoP 기술에 사용된 대부분의 DAC는 저항형을 이용하여 계조 전압을 생성하고 아날로그 버퍼를 이용하여 큰 부하를 가지는 칼럼 라인을 충전시키는 방식을 채택하고 있다. 이러한 방식은 정확한 계조전압의 생성과 감마보정(gamma correction)에 유리하고 비교적 간단하게 구현할 수 있다는 장점을 갖는다. 그러나 계조전압을 선택하기 위한 다수의 스위치가 각 채널마다 사용되어야 하므로 큰 회로면적을 차지하며, 매 채널마다 필요한 아날로그 버퍼는 Poly-Si TFT의 문턱전압 및 이동도의 산포가 크기 때문에, 특성의 균일성을 보장하기 어렵다[3].

#### 2.2 새로운 개념의 패널 DAC

본 논문에서는 그림 1과 같이 매 채널마다 아날로그 버퍼를 사용하지 않고, 패널의 칼럼라인을 DAC 동작에 이용한 새로운 형태의 DAC를 제안한다.

제안한 DAC는, 기존의 커패시터를 이용한 시리얼 DAC의 개념을 이용한다. 그러나 기존의 시리얼 DAC와 달리[4], 별도의 커패시터를 사용

하지 않고, 레퍼런스(reference) 전압의 샘플링과 홀딩에 사용되는 커패시터를 그림 1과 같이 칼럼 라인의 기생 커패시터를 이용한다. 따라서 별도의 커패시터 추가 없이 4개의 스위치만으로 DAC 구현이 가능하여 소면적 구현이 가능하며, 칼럼 라인에서 레퍼런스 전압의 중·방전과 전하 공유로 계조전압을 생성하기 때문에 아날로그 버퍼도 필요로 하지 않는다.

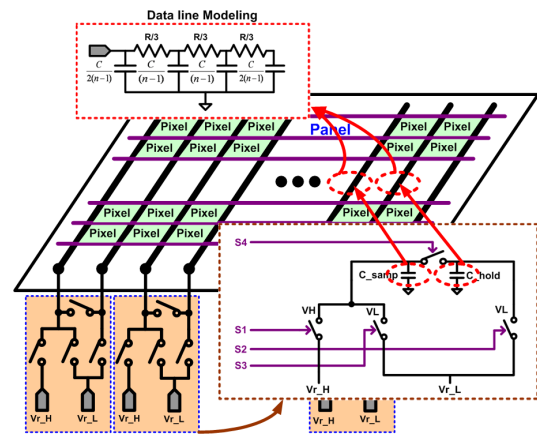


그림 1. 제안된 DAC의 개념과 회로도

그러나 종래의 시리얼 DAC에서와 같이 2개의 레퍼런스 전압을 사용한 시리얼 DAC로 8-bit를 구현을 위해서는  $\pm 1\%$  미만의 커패시턴스 부정합이 요구되며, 이는 현실적으로 매우 과도한 제한 조건이다.

따라서 본 논문에서는 그림 2와 같이 5개의 레퍼런스 전압을 사용하는 방식을 제안한다. 우선 상위 2-bit는 2개의 2-to-4 디코더에 입력되어 5개의 레퍼런스 전압 중 인접한 2개를 선택한다. 선택된 2개의 레퍼런스 전압은 칼럼 라인을 이용한 시리얼 DAC의 레퍼런스 전압이 되며, 이를 이용해 하위 6-bit DAC를 구현한다. 이렇게 함으로써 커패시턴스 부정합에 대한 제한 조건을  $\pm 3\%$ 로 완화시켰으며, 8-bit 시리얼 DAC에 비하여 커패시터 전압 변동 폭이 1/4로 줄고 충전 횟수가 2회 감소하여, 소비전력이 1/4로 감소한다.

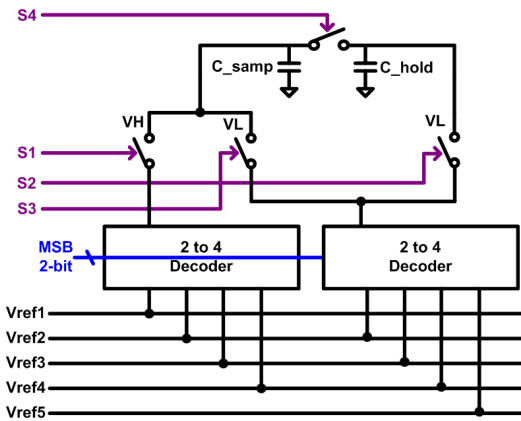


그림 2(a). 제안된 DAC의 block diagram

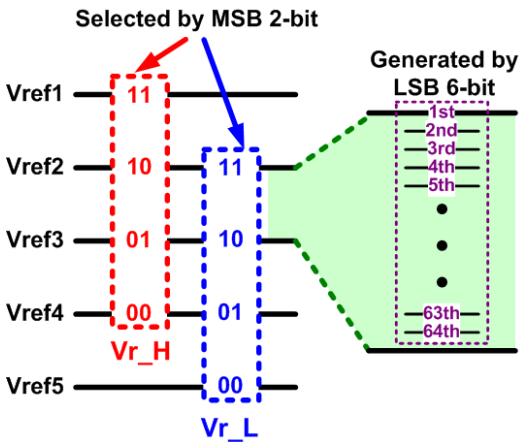


그림 2(b). (a)에 제안된 회로의 analog 전압 생성

### 2.3 제안된 DAC의 적용 가능성 검증

그림 3은 제안된 DAC의 적용 가능성을 확인하기 위해 패널의 부하에 따른 DAC 소요 시간을 HSPICE 모의실험을 통해 확인한 결과이다[5]. SoP의 우선적 적용 대상은 휴대용 디스플레이로서 본 논문에서는 2인치 vertical qVGA (240x320)를 가정하였다. 제안된 DAC는 2개의 칼럼 라인을 이용하므로 1:2 디멀티플렉싱(1:2 de-multiplexing) 구동이 불가피하다. 따라서 vertical qVGA의 라인 타임인 48usec의 1/2인 24usec내에 DAC 동작을 수행해야 한다. 이러한 조건에서 6비트의 정확도로 계조 전압을 생성하기 위한 소요 시간을 확인해 본 결과, 그림 3에서 나타난 바와 같이 하나의 칼럼 라인의 부하가 30pF, 7KΩ인 범위까지 적용이 가능하였다.

## 3. 모의실험 결과

아래 표1은 제안된 DAC의 HSPICE 모의 실험 결과를 정리한 것이다 [5]. TFT의 채널 길이 = 7um, 배선의 선폭 및 간격 = 2um 설계 규칙을 사용할 때, DAC 회로의 폭이 800um 이하로 매우 작음을 알 수 있다.

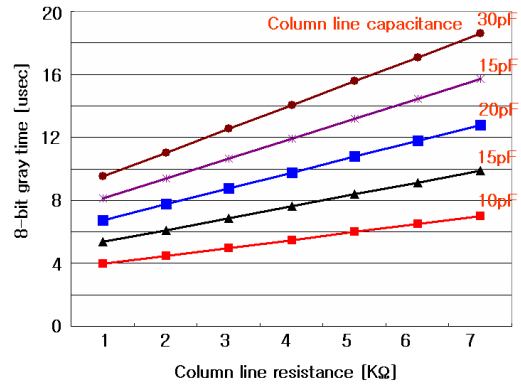


그림 3. 패널의 부하 조건에 따른 DAC 소요 시간 분석

표 1. HSPICE 모의실험을 통한 제안된 DAC의 성능 평가 결과

구분	세부 내용
패널 조건	2인치 qVGA AMOLED 패널.
구동조건	8bit 정확도, $f_{frame} = 60Hz$ , 1:2 de-multiplexing 구동.
회로면적	$67,200\mu m^2 (84\mu m \times 800\mu m)$
소비전력	8.5mW
칼럼라인 부정합 조건	$\pm 3\%$ @1LSB

## 참고문헌

- [1] T. Ikeda et al.: Dig. Tech. Papers SID '04, p.860, 2004.
- [2] C. S. Kim et al.: Dig. Tech. Papers IMID '05, p.850, 2005.
- [3] 유창식 외: 한국정보디스플레이 학회지, 제 5권 1호, p.13, 2005.
- [4] M. J. Bell: IEEE JSSC 12(2005), p.2756, 2005.
- [5] Avant!, Star-Hspice Manual. Fremont, CA: Avant!. 2000.