

# 적응적 재구성 필터에 의한 심전도 신호의 잡음 제거 성능 평가

김현동\*, 김태선\*\*  
가톨릭대학교 정보통신전자공학부

## Performance Evaluation of ECG Noise Reduction Using Adaptive Reconfigurable Filter

Hyun Dong Kim\*, Tae Seon Kim\*\*  
School of Information, Communication and Electronic Engineering  
Catholic University of Korea  
E-mail : \*hdkim81@catholic.ac.kr, \*\*tkim@catholic.ac.kr

### Abstract

본 논문에서는 적응적 재구성 필터를 이용한 심전도 신호의 잡음제거 알고리즘을 개발하고 이를 임베디드 보드 상에서 구현하였다. 구현된 시스템의 검증을 위해, 제안된 알고리즘은 PC 상에서 소프트웨어만으로 구현했을 때와 적응적 재구성 필터를 소프트웨어와 FPGA 로 구현했을 때의 실행시간 및 잡음제거 성능을 비교하였다. 실험결과 FPGA 상에서 구현된 시스템은 PC 상에서 구현된 프로그램과 비교하여 동일 잡음제거 성능을 가질 때 약 5 배정도의 실행시간 향상을 보였다.

### I. 서론

최근에 우리사회에서 ‘웰빙(Well-being)’이라는 개념이 도입되면서 건강에 대한 관심이 많아졌다. 유비쿼터스 시대로 접어들면서 정보통신과 보건의료를 접목하는 u-health 가 새로운 개념으로 등장하였다. 이런 u-health 개념을 심장질환의 진단에도 적용할 수 있다. 이에 휴대용 심전도 측정 및 진단기를 개발하기 위해 앉거나 누운 상태가 아닌 측정자가 측정기를 부착하고 휴대하여 움직이는 동적인 상황에서도 진단 가능한 심전도 신호를 얻기 위한 동적인 상황에서의 잡음 제거를 위한 적응적 재구성 필터가 제안되었다.

### II. 본론

심전도 신호의 잡음 신호는 일정한 주파수대역에 존재하지 않고 측정 환경에 따라 잡음의 종류 및 크기가 다르다. 따라서 기존의 고정주파수 특성을 갖는 필터로는 효율적인 잡음제거가 불가능하다. 이를 극복하기 위해 본 논문에서는 총 3 단계를 갖는 다단필터 형태를 갖고, 각 단계별 필터의 종류, 필터의 차수 및 차단주파수를 적응적으로 변형하여 효율적으로 잡음을 제거한다. 필터조합을 재구성 하기 전에 측정된 심전도 신호의 잡음 정도를 추정하는 잡음상황 추정을 하였다. 동적인 환경에서의 대표적인 잡음으로는 근육의 움직임에서 발생하는 근잡음과 흉부의 움직임으로 인한 기저선 잡음 그리고 60Hz 전력선 잡음이 있다. 이 중에서 기저선 잡음과 근잡음의 정도를 추정하여 이전에 얻어진 몇몇 추정치에 해당하는 필터조합정보를 학습시킨 오류역전과 신경망을 이용하여 재구성될 필터의 조합을 선택하게 된다. 그림 1 은 제안 알고리즘의 개략도 이다. 심전도 잡음 신호 중에서 기저선 잡음추정치는 측정된 신호에 2Hz 의 차단주파수를 갖는 저대역필터(Low Pass Filter)를 적용한 다음 일정 구간(100 샘플) 마다 기울기를 구하여 그 기울기를 기저선 잡음 추정치로 한다. 근잡음 추정치는 원신호에 50Hz 의 차단주파수를 갖는 고

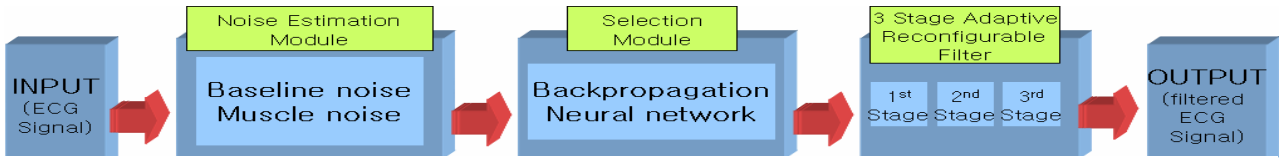


그림 1 적응적 재구성 필터에 의한 심전도 신호의 잡음 제거 과정

대역필터(High Pass Filter)를 적용한 다음에 기저선을 기준으로 그것을 넘는 점들의 개수를 파악하여 그 값을 근잡음 추정치로 한다. 필터는 저대역(Lowpass)필터, 고대역(Highpass)필터, 대역통과(bandpass)필터 중 선택되었고, 모두 FIR(Finite Impulse Response) 필터를 사용하였다. 또한 차단주파수는 0.5, 1, 2, 3, 4, 5, 45, 47, 49, 50Hz 중 선택되고, 필터의 차수(Order)는 6, 8, 10, 14, 16, 18, 20 중 선택되도록 정의하였다. 필터의 종류, 차단주파수, 필터의 차수를 변수로 하여 총 3 단계로 이루어진 필터조합에 각기 잡음추정치에 맞게 오류 역전과 신경망을 이용해 3 단계 필터 조합을 찾는다. 제안된 방법은 잡음 추정 모듈, 오류 역전과 신경망에 의한 재구성 필터 조합 선택 모듈, 3단계 적응적 재구성 필터 모듈로 구성된다.

### III. 구현

제안된 방법을 소프트웨어로 구현하여 PC 상에서 실행했을 때, 적응적 재구성 필터를 FPGA 로 구현하여 ARM 프로세서와 FPGA 로 구성된 임베디드 보드 상에서 실행했을 때, 그리고 임베디드 보드상의 ARM 프로세서만을 사용하여 실행했을 때 각각 잡음제거 하는데 걸리는 시간과 전체 알고리즘을 실행하는데 걸리는 시간을 비교하였다.

구현환경	PC	ARM	ARM+ FPGA
적응적 재구성 필터 수행시 실행시간 (sec.)	0.069	0.62	0.12
전체알고리즘 수행시 실행시간 (sec.)	4.655	50.38	48.44

표 1 각 구현환경에 따른 실행시간 비교

전체 알고리즘은 256Hz 로 샘플링된 심전도 신호를 1024 개의 샘플씩 나눠서 수행하게 된다. 적응적 재구성 필터 수행시의 실행시간은 1024 개의 샘플을 3 단계 적응적 필터 모듈에 적용하여 실행에 걸리는 시간을 측정하였다. 전체알고리즘 수행시의 실행시간은 1024 개의 샘플씩 나눠서 제안된 전체알고리즘을 10 번 실행 했을 때 걸리는 시간을 측정하였다. 알고리즘은 C 언어로 작

성되었고 PC 에서는 unix 에플레이터인 cygwin 상에서 실행되었고 임베디드 보드에서는 임베디드 리눅스 상에서 실행되었다. PC 환경은 Pentium 4 3.0GHz 1Gbyte RAM 이 사용되었다. ARM 프로세서는 ATMEL AT91RM9200 이 사용되었고, FPGA 는 Xilinx Virtex 4 XC4VLX60 이 사용되었다. 실행시간은 각각 구현환경에 따라 표 1 과 같이 측정되었다.

### IV. 결론 및 향후 연구 방향

연산시간 비교 결과, PC 에서의 동작속도가 가장 우수했다. 이는 Pentium 프로세서의 동작 클럭이나 부동소수점 연산에서 ARM 프로세서보다 월등히 뛰어나기 때문인 것으로 추정된다. 그러나 휴대용 기기에서 Pentium 프로세서를 사용하는 것은 부적합하므로 이런 점에서 ARM 프로세서가 유리하다. 적응적 재구성 필터 수행시의 실행시간은 ARM 프로세서만을 이용한 것보다 ARM 프로세서와 FPGA 를 연동하여 수행했을 때 실행시간이 약 5 배정도 단축되었다. 적응적 재구성 필터를 FPGA 로 구현함으로써 성능이 향상되었음을 알 수 있다. 향후 전체 알고리즘을 하드웨어로 구현해 본다면 좀 더 실행시간을 단축할 수 있으리라 본다.

### 감사의 글

본 연구는 문화관광부 및 한국문화콘텐츠진흥원의 지역문화산업연구센터(CRC)지원사업의 연구결과로 수행되었음.

### 참고문헌

- [1] 김현동 외, “동적인 환경에서의 심전도 특징 추출을 위한 잡음 제거 기술”, 대한전자공학회 추계학술대회논문집 제 28 권, 제 2 호, pp.465-468, 2005.
- [2] 윤승구 외, “베이스라인 제거를 위한 디지털 신호처리 시스템 구현”, 한국해양정보통신학회논문지, 제 5 권, 제 7 호, pp. 1287-1294, 2001.