

# 시프트 버퍼를 이용한 고속 가변길이 디코더 구현

\*노진수, 백창희, 이강현  
조선대학교 전자공학과

e-mail : njinsoo@hanmail.net, bch@dreamwiz.com, khrhee@chosun.ac.kr

## An Implementation on the High Speed VLD using Shift Buffer

\*Jin-Soo Noh, Hui-Chang Baek, Kang-Hyeon Rhee  
Department of Electronics Engineering  
Chosun University

### Abstract

In this paper, The author designed on high speed VLD(Variable Length Decoder) using shift buffer. Variable Length Decoder is received N bit data from input block and decode the input signal using Shifting Buffer, Length Decoder and Symbol Decoder blocks. The inner part of shifting buffer in proposed Variable Length Decoder is filled input data and then operating therefore, the proposed structure can improve the decoded speed. And in this paper we applying pipeline structure therefore data is decoded in every clock.

### I. 서론

가변길이 디코더(VLD)는 손실이 없는 압축방법으로 데이터의 평균 비트율을 감소시키기 위하여 자주 나타나는 입력 심볼에 짧은 코드 단어(codeword)를 할당한다[1,2]. 가변길이코드 단어는 비트열로 연속적으로 연결되어 형성되고 코드단어는 허프만 트리를 사용하여 구성된다. 가변길이 디코더는 코드 길이의 가변성 때문에 구현 알고리즘이 복잡하나 무손실이며 압축률이 높다[3].

본 논문에서는 N비트씩 인코딩된 데이터 스트림을 받아드려 디코딩 시키기 위하여 시프트 버퍼를 이용한

고속 가변길이 디코더 회로를 제안하였으며 하드웨어 언어를 사용하여 구현하였다. 또한, Synopsys Tool을 사용하여 회로를 합성한 후 게이트 레벨 시뮬레이션을 통하여 회로의 병렬 가변길이 디코더와의 성능을 비교하였다.

### II. 본론

본 논문에서는 Length Decoder와 Symbol Decoder 사이의 디코딩 동기를 제어하기 위하여 Shifting Buffer와 Length Decoder 사이에 Control&Count 블록을 삽입시켰고 Symbol Decoder 앞단에 Buffer를 삽입시켜서 병렬 가변길이 디코더를 설계하였다. 그림 1은 본 논문에서 제안한 가변길이 디코더 블록도이다.

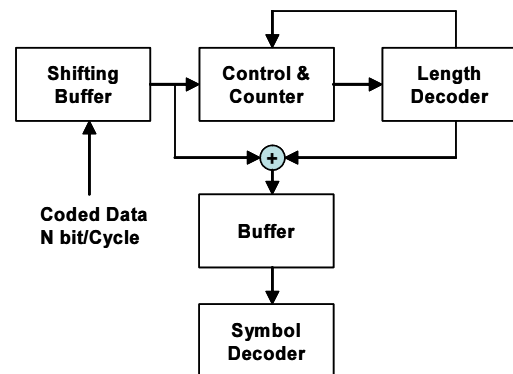


그림 1. 제안된 가변길이 디코더 모델

제안된 가변길이 디코더의 블록별 동작원리는 다음과 같다.

- Shifting Buffer : 입력으로부터 들어오는 압축된 데이터 스트림을 매 클럭마다 Buffer에 저장시키며, Buffer에 저장되어있는 데이터를 Control&Counter 블록과 Buffer 블록으로 보낸다.
- Control&Counter : Length Decoder에서 계산되어진 심볼의 길이를 받아드려 Shifting Buffer로부터 들어오는 데이터를 제어한다.
- Length Decoder : Control&Counter 블록으로부터 들어오는 데이터에서 참조 테이블을 검색하여 심볼의 길이를 계산한 다음 Buffer 블록으로 보내어 Shifting Buffer 블록으로부터 들어오는 데이터와 동기를 맞춘다.
- Buffer : Shifting Buffer에서 들어오는 압축된 데이터 스트림과 Length Decoder에서 계산되어진 길이를 받아드려 동시에 Symbol Decoder에 전달한다.

### III. 실험 결과

그림 2는 Synopsys에서 합성된 제안된 가변길이 디코더 회로이며, Synopsys에서 제공하는 class.db를 사용하여 합성 하였을 때 전체 셀 면적이 98.00이 나왔으며 Data Arrival 시간은 1.39[ns]가 나왔다.

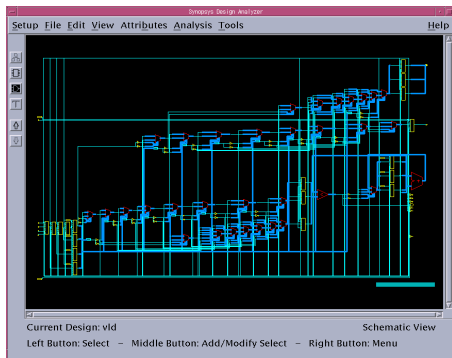


그림 2. 합성회로의 게이트 레벨 회로도

표 1은 본 논문에서 제안된 시프트 버퍼를 이용한 가변길이 디코더와 순차, 병렬 가변길이 디코더의 성능 비교 값이며 비교 대상은 셀 면적과 회로 동작 속도이다. 표 1에서 제안된 가변길이 디코더의 전체 셀 면적은 병렬 가변길이 디코더에 비해 약 5.5% 증가되었지만 약 28%의 동작 속도가 향상되었음을 확인 할 수 있었다.

표 1. 제안된 회로와 순차, 병렬 VLD 성능비교

Design Architecture	Cell Area	Data Arrival Time[ns]
순차VLD	79.74	4.18
병렬VLD	92.67	1.95
제안된VLD	98.00	1.39

그림 3은 전체 타이밍 시뮬레이션이며, 버퍼에 데이터가 채워진 다음부터 정상적으로 디코딩이 됨을 확인할 수 있다.

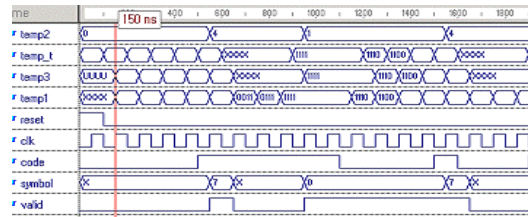


그림 3. 타이밍 시뮬레이션

### IV. 결론

본 논문에서 제안한 시프트 버퍼를 이용한 고속 가변길이 디코더는 가변길이코드로 압축된 데이터를 N 개씩 비트 스트림으로 받아드려 디코딩하는 가변길이 디코더이다. 제안된 가변길이 디코더는 병렬 가변길이 디코더에 비해 전체 회로면적이 5.5% 증가하였으며 전체 회로 동작시간이 1.39[ns]로 병렬 가변길이 디코더에 비해 28% 향상되었다. 앞으로 진행되어야 할 연구는 Symbol Decoder단에 PLC(Programmable Logic Controller) 회로를 삽입함으로써 처음 디코딩 시작 시 발생하는 don't care 신호를 제거할 수 있는 가변길이 코더를 설계해야겠다.

### 참고문헌

- [1] M. K. Rudberg and L. Wanhammar, "New Approaches to High Speed Huffman Decoding", IEEE Proc. ISCAS '96, Atlanta, USA, May 1996.
- [2] H. D. Lin and D. G. Messerschmitt, "Designing High-Throughput VLC Decoder Part II - Parallel Decoding Methods", IEEE Transactions on Circuits and Systems for Video Technology, Vol. 2, No. 2, pp. 197-206, June 1992.
- [3] ISO/IEC DIS 13818-2 Generic coding of moving pictures and associated audio information, part 2: Video, (MPEG-2), June 1994.