

# Max-scale 구조를 이용한 2차원 생성코드 반복복호기의 구현

\*백 창 희, \*\*성 해 경, \*이 강 현  
\*조선대학교 전자공학과  
\*\*한양여자대학 전산정보계열

E-mail : bch@dreamwiz.com and khrhee@chosun.ac.kr\*  
hkseong@hywoman.ac.kr\*\*

## An Implementation on the 2D product Iterative decoder using Max- scale architecture

\*Chang Hui Baek, \*\*Hae-Kyung Seong, \*Kang Hyeon RHEE  
\*Dept. of Electronic Engineering, Chosun University  
\*\*Hanyang Women's Collage, Dept. of Computer science and  
Informations Technology

### Abstract

In this paper, We design the high performance 2D product Iterative decoder using three different external value design. We improved the external value operation in two ways to reduce the delay and speed. In this proposed operation, each design has been simulated on Matlab and MaxPlusII, and implemented on the FPGA to measure their performance.

### I. 서론

터보코드는 샤논의 채널용량 한계에 근접하는 에러정정률을 보여주는 뛰어난 에러정정기술 중 하나이다. 최근 2~100 Mbit/s의 전송대역을 가지는 3GPP와 3GPP2, CCSDS표준에서 터보코드가 채택됨으로써 저전력에서 최적화된 VLSI에 대한 관심이 높아지고 있다[1]. 하지만 터보코드는 반복연산 횟수와 BER(bits error rate)간의 상보관계문제를 가지고 있고 전력소모량문제를 가지고 있었다[2,3].

이에 따라 반복연산횟수에서 최대의 에러정정율을 보이는 터보코드 복호 알고리즘이 요구되어지고 있다.

본 논문에서는 엔코딩된 후 백색 가우시안 잡음(AWGN : Additive White Gaussian Noise)이 추가된 비트열을  $N \times N$ 으로 배열시킨 후 열과 행을 반복연산을 취함으로써 계산된 사후확률값을 가지고 오류를 정정하는 3가지 타입의 2차원 생성코드 반복복호기를 제안하였다.

### II. 본론

2차원 생성코드 복호기는 8비트열 입력신호인  $R = \{Ry0, Ry1, Ry2, Ry3, Rr0, Rr1, Rc0, Rc1\}$  값을 수신 받아 원 신호인  $\{y0, y1, y2, y3\}$ 를 판별한다. 이때  $y0$ 값은 '0' 또는 '1'이 될 수 있으며 이를 위해 두 확률값을 비교해야한다.

이때 사전확률은 1 또는 0을 받을 확률이므로 0.5로 동일하며 사후확률은 식(1)과 같이 나타낼 수 있다.

$$\Lambda(y0) = \ln \frac{P(y0=0|R)}{P(y0=1|R)} \quad - (1)$$

식(1)은 다시 식(2)와 같이 정리할 수 있다. 각 항은 채널값( $Lch$ )와 사전확률( $Lpri$ )와 외부정보값( $Le$ )로서 각각 식(3),(4),(5)와 같이 정리할 수 있다.

$$Lpost = Lch + Lpri + Le \quad - (2)$$

$$Lch(R_{y0}) = \ln \left( \frac{P(R_{y0} = 0 | y0 = 0)}{P(R_{y0} = 1 | y0 = 1)} \right) \quad - (3)$$

$$Lpri = \ln \left( \frac{P(y0 = 0)}{P(y0 = 1)} \right) \quad - (4)$$

$$Le = \ln \left( \frac{P(r0 \oplus y1 = 0, \{Rr0, Ry1\})}{P(r0 \oplus y1 = 1, \{Rr0, Ry1\})} \right) \quad - (5)$$

이때 외부정보  $Le$ 는 식(6)과 같이 개략화가 가능하다.

$$Le = \ln \left( \frac{1 + \exp(\Lambda r0 + \Lambda y1)}{\exp(\Lambda r0) + \exp(\Lambda y1)} \right) \approx \text{sgn}\{\Lambda r0 \cdot \Lambda y1\} \min\{|\Lambda r0|, |\Lambda y1|\} \quad - (6)$$

외부정보값  $Le$ 는 식(7),(8)과 같이 다시 정리함으로써 실제 구현시 소요되는 연산량을 줄일 수 있다.

$$\text{Max} : Le = \max(0, a + b) - \max(a, b) \quad - (7)$$

Max-scale :

$$Le = 0.75 \cdot (\max(0, a + b) - \max(a, b)) \quad - (8)$$

본 논문에서는 식(7)과 식(8)을 각각 Max, Max-scale 연산으로 부르기로 하고, 이 두 연산식을 기존의 MAP 복호 알고리즘과 비교분석해 보았다.

### III. 구현

입력되어지는 8비트는 각각 외부정보값( $Le$ )를 구하는 블록인 'Extval'에 입력되어지며 매 클럭마다 배열의 각 행, 열에 해당하는 'Extval' 블록을 통해 데이터가 반복순환 되어짐으로써 복호연산이 이루어진다.

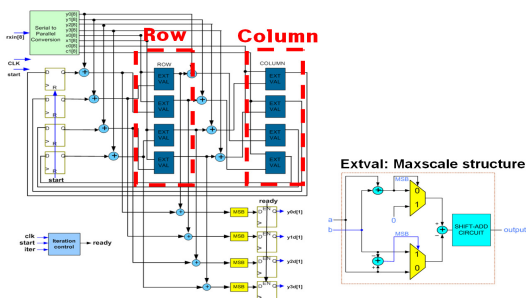


그림 1. 제안된 Maxscale Structure

보다 효율적인 디코딩을 위해 반복연산 컨트롤 블록을 출력단에 추가시켰다. 이 블록을 Max-scale 구조에 적용시킨 결과 반복연산횟수 5회에서 최적의 성능을 보이는 것을 확인할 수 있었다.

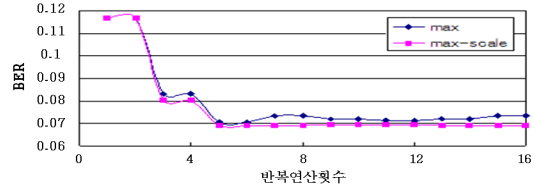


그림 2. 반복연산제어의 효과

표 1에 각 알고리즘별 연산성능을 나타내었다. 제안된 Max-scale 구조는 0dB를 기준으로 기존의 MAP 알고리즘에 비해 6.12%의 에러비트가 감소했으며  $Le$ 는 13.8%의 감소를 보였고, 면적에서는 6.49%의 증가를 보였지만 11.09%의 지연속도향상을 보임으로써 전체적으로 가장 나은 성능의 밸런스를 보여주었다.

Design	0dB	3dB	6dB	9dB	$Le$	Area( $\mu\text{m}^2$ )	delay
MAP	735	141	2	0	717	37461.9	6.31
Max	735	141	2	0	608	38340.1	5.61
Maxscale	703	129	2	0	616	39893.5	5.61

표 1. 제안된 회로와 순차, 병렬 VLD 성능비교

### IV. 결론 및 향후 연구 방향

본 논문에서 제안한 복호기는 기존의 MAP 알고리즘과 같이 LLR을 이용하지만  $Le$  연산식을 보다 개략화시키고 구현시 Shift-add 연산을 적용시켜 지연시간을 줄였다. 또한 출력레지스터를 제어하는 반복연산제어를 출력단에 적용시켜 하드웨어 상에 구현해 본 결과 기존의 MAP 복호알고리즘에 비해 뛰어난 성능을 보임을 확인할 수 있었으며, 향후 과제로서 가변길이 반복복호 제어 모델을 설계할 계획이다.

### 참고문헌

- [1] Gilbert, Frank. et.al., "Advanced Architectures for High-Throughput Turbo Decoders", ST Journal of System Research Vol. 1 - Number1..
- [2] M. K. Rudberg and L. Wanhammar, "The Art Of Error Correction Coding", John Wiley Sons Ltd., West Sussex, England, 2002..
- [3] Hayashi, Teruhiko., "2-D Product Code Iterative Decoder Performance Estimation", Design Wave Mag. Japan, Jan. 2006, pp 113-118