

Design of Parallel Processor for Image Processing

*노석환, 박종원

충남대학교 정보통신공학과

School of Information and Communication Engineering
Chungnam University

Abstract

This paper presents implementation of parallel processing system for image processing. The parallel processing system proposed consisted of 16 processing elements, and multi-access memory system, and interface modules. The multi-access memory system we introduced is made up of a memory module selection, a data routing module, and an address calculation and routing module.

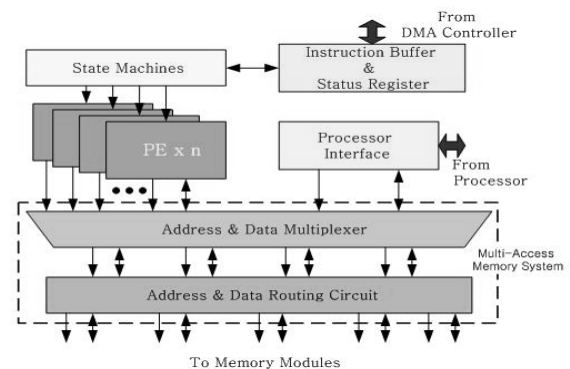
I. 서론

진 세계적으로 정보통신기술의 발달로 초고속 통신망이 일반인에게 널리 보급되면서, 정보의 형태 또한 단순한 문자 위주에서 그래픽, 오디오, 비디오와 같은 다양하고 복잡한 멀티미디어 정보 형태로 급속히 변화하고 있으며, 그 비중 또한 날이 커지게 되었다. 특히 영상 매체를 응용한 분야에서 고화질의 대용량 동영상 정보는 양이 많을 뿐만 아니라 처리 과정이 복잡하고 많은 시간을 소비한다. 이러한 영상처리 및 통신을 신속하게 처리하기 위해 효율적인 병렬처리가 가능한 하드웨어 구조가 필요하다.

본 논문에서는 방대한 양의 영상자료를 처리할 수 있는 PE(Processing Element)와 여러 영상자료의 형태에 따라 신속하게 접근할 수 있는 효율적인 다중접근 기억장치(MAMS)를 가지고 있는 범용의 병렬처리기(Parallel Processor)를 설계하였다.

II. 본론

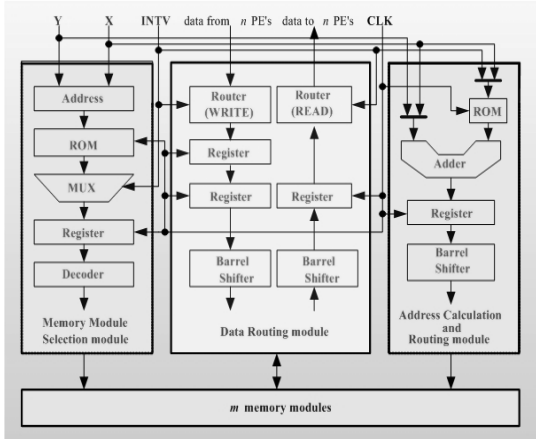
병렬처리기의 블록도는 그림 1과 같고, 16개의 PE(PEs)와 1개의 다중접근 기억장치(MAMS) 및 메모리 모듈(Memory Module)로 구성된 SIMD방식 병렬처리를 제공하는 구조로 되어 있다.



[그림 1] 병렬처리기 블록도

각각의 PE의 구조는 ALU(Arithmetic Logic Unit)와 상태 천이기로 구성 되어있다. 덧셈 기능, 분기에 따른 순차 증가 기능, PE의 작동/정지, 보수 계산, 비교 기능, PE내의 레지스터 사이의 자료 전송 및 레지스터에 상수를 전송 할 수 있는 구조로 구성되어 있다. 상태 천이기는 명령어를 해석하고 수행하는 부분으로 메모리 접근을 위한 것과 산술논리 연산 및 조건 검색과 같은 일반 명령어 수행을 위한 것으로 구분되어있다. 메모리 접근 명령어와 일반 명령어를 구분해 동시에 인출하여, 수행할 수 있게 하였다.

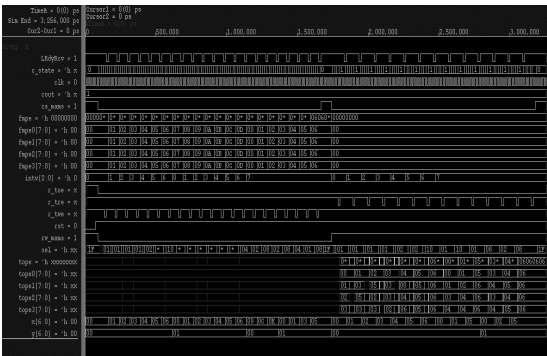
다중접근 기억장치(MAMS)는 물리적인 메모리 모듈을 논리적으로 2-D Array의 개념을 적용하여 여러 가지 형태의 영상자료를 행, 열, 블록, 대각선, 역대각선 등의 다양한 접근 방식을 제공하며 동시에 여러 자료로 충돌 없이 접근할 수 있는 기억장치이다. 이는 독창적인 메모리 주소계산회로 및 주소이동회로, 자료이동회로, 메모리 모듈 선택회로를 개발하여 설계(그림 2)된 기억장치로 2-D Array 메모리의 X, Y 좌표와 Interval을 이용하여 주소를 계산하여 자료를 메모리 모듈에 저장하는 방식을 사용함으로 다양한 형태의 접근 방법과 다중접근을 가능하게 한다.



[그림 2] 다중접근 기억장치 블록도

III. 결론

병렬처리기의 시뮬레이션은 집적화 부분인 PEs와 MAMS를 대상으로 하여 수행하였으며 Candence사의 Verilog-XL을 이용하여 시뮬레이션을 수행하였다.



[그림 3] Memory Access 시뮬레이션 결과

모의실험하여 얻은 파형인 그림 3는 외부 메모리 모듈 인터페이스 부분에서 데이터를 쓰고 있는 과정을 보여주고 있다.

제안된 병렬처리기는 66Mhz 클럭으로 동작된 병렬처리기와 같은 클럭의 직렬처리기를 영상크기 별로 Matrix 연산 수행 시간을 비교해 보면 다음과 같다.[표 1]

영상크기	Serial	Parallel(PE16)
64 x 64	47 msec	1.16 msec
128 x 128	171 msec	4.12 msec
256 x 256	688 msec	15.79 msec
512 x 512	2765 msec	62.07 msec

표 1. 구현된 chip의 성능 비교

영상 크기별로 병렬처리기로 수행한 시간은 직렬처리

기로 수행한 시간보다 평균 40배 빠른 것으로 나타났다.

참고문헌

- [1] J.W.Park, "Multiaccess Memory System for Attached SIMD Computer", IEEE Trans. on Computers, Vol.53, No.3, pp.1~14., Mar., 2004.
- [2] 이형, 유대상, 조현구, 박종원, " 병렬영상처리 보드 및 운용시스템 구현", 제16 회 영상처리 및 이해에 관한 워크샵, 2004. 1.9-1.10 발표
- [3] 유대상, " 범용 병렬처리를 위한 운용시스템 구현", 충남대 석사학위논문, 2003. 12