

다양한 Format을 지원하는 사용자 편의의 IR 수신기 칩 설계 및 구현

*최은주, 성광수
 영남대학교 전자정보공학부
 e-mail : *cmanbal@ynu.ac.kr, kssung@yu.ac.kr*

A Design and Fabrication of IrDA Receiver for User convenience supporting a diversity of format

*Eun-Ju Choi, Kwang-Soo Sung
 School of Electronic Engineering Yeungnam University

Abstract

Recently Communication with using IrDA is being used in various fields. In this paper I designed a receiver by fabricating hardware that used to be fabricated through software, so anyone who don't have knowledge on IrDA can receive Ir Signal easily. This receiver can communicate with CPU through 8 bit data and 3 bit address. Also this receiver can use user-needed CLK because this receiver embodied 16 bit CLK Prescaler.

I. 서론

최근 디지털 카메라, 휴대폰 PDA, 컴퓨터 주변기기 등에서 무선 데이터 통신의 활용도가 높아짐에 따라 IrDA(Infrared Data Association)의 중요성이 더 커지게 되었다. IrDA는 기존에 사용되어오던 TV, 에어컨 등 가전제품 뿐 만 아니라 휴대폰과 휴대폰, PC와 주변장치, PC와 PDA(Personal Digital Assistant)간의 데이터 전송 등 다양한 곳에서 사용되어지고 있다. 기존의 마이크로프로세서를 이용한 IrDA 장치의 구현 시에는 사용자가 IrDA 코드의 구조를 완벽하게 이해하고 프로그램으로 직접 CPU를 제어하여 Ir 신호를 수신하였으나 본 논문에서는 IrDA에 대한 전문적인 지식이 없는 사용자도 쉽게 Data를 수신 할 수 있도록 IrDA수신기를 하드웨어로 구현하였다.

II. 본론

2.1 IrDA Signal Format

IrDA를 이용한 Remote Control에서 정보를 송·수신하기 위해 Header와 Code를 사용한다. Header는 신호의 가장 처음 부분으로 Code 앞에 전송되어 Receiver가 신호의 처음 부분을 인식하도록 한다. Header는 같은 제조사일 경우 모두 같지만 제조사가 다른 경우 모두 다르기 때문에 본 논문에서 Header를 각 제조사별로 다른 Format을 지원하는 신호의 형태를 구별하는데 사용한다. Code는 각각의 Format과 Code 표현 방법에 따라 다른 특성을 나타내고 있다. 회사의 정보를 나타내는 Custom Code와 신호의 내용을 담고 있는 Data Code의 두 부분으로 구성되어 있다. 신호의 표현 방법은 표1과 같이 크게 세 가지로 분류된다.

표 1 Ir 신호의 표현 방법

Coding	Description	'1'	'0'
Pulse Width Coded Signal	펄스의 길이를 변화 시킴	긴 펄스	짧은 펄스
Space Coded Signal	펄스 사이의 간격을 변화 시킴	긴 펄스	짧은 펄스
Shift Coded Signal	펄스의 transition을 이용	High에서 Low	Low에서 High

본 논문에서 구현된 수신기의 수신 가능한 대표적인 Signal Format은 대우, 태광산업, 구 LG, 구 삼성 등에서 사용되어진 D6121(NEC Format 이라고도 함) Format과 현재 LG, 삼성에서 사용되어지는 TC9012

Format, 아남전자에서 사용되어지고 있는 Matsusita Format 등이 있다. 각각의 신호들은 Format은 다르지만 Head, code, Custom code, Data code, Repeat code 등의 신호의 구성은 같다.

III. 구현

본 논문에서 구현된 IR 수신기 칩은 Verilog HDL로 설계 하였으며 Altera사의 EMP7218SL84에 다운로드 하여 AT89c52 Processor로 동작을 실험 하였다. 삼성의 TV 리모컨에서 송신되는 Signal을 수신하여 CPU에 연결된 Graphic LCD로 출력한 수신 과정을 확인 하였으며 송신 되어지는 과정은 Tektronix Logic Analyzer를 통해서 확인 하였다.

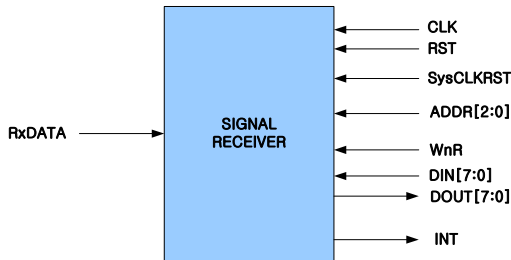


그림 1 구현된 Receiver의 Top Block

표 2 구현된 Receiver의 Signal Interface

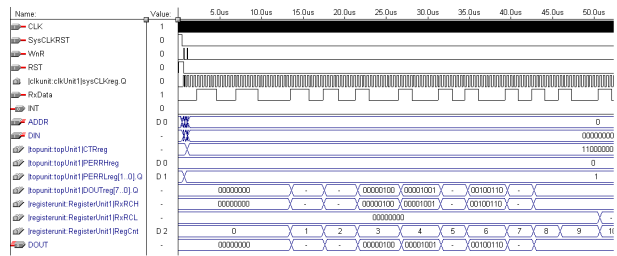
Signal	Bit	Description
RxDATA	1	실제적으로 수신되는 Data
CLK	1	Master Clock
RST	1	Synchronous Reset
SysCLKRST	1	System CLK Reset
ADDR	[2:0]	수신기 내부의 Register address
WnR	1	Write 또는 Read High 이면 Write Low 이면 Read
DIN	[7:0]	Master Core Data Input
DOUT	[7:0]	Master Core Data Output
INT	1	Interrupt Signal Output

표 3 구현된 Receiver의 내부 Register

Reg	Addr	Bit	Access	Description
RxRCH	0x00	[7:0]	R	수신기를 통해서 들어온 Custom Code 상위 8 bit
RxRCL	0x01	[7:0]	R	수신기를 통해서 들어온 Custom Code 하위 8 bit
RxRD	0x02	[7:0]	R	수신기를 통해서 들어온 Data Code
RxRnD	0x03	[7:0]	R	수신기를 통해서 들어온 nData Code
SR	0x04	7	R	RP Receive In Progress Data가 수신중이면 1, 그렇지 않으면 0.
		6	R	IF Interrupt Flag CTR Reg.의 Interrupt EN Bit이 Set 되어있고 Interrupt가 pending 되어 있으면 1, 그렇지 않으면 0.
		5	R	RC Receive Complete

				Repeat Code를 3번 수신하면 1, 그렇지 않으면 0.
		[4:0]	R	Reserved
CTR	0x05	7	RW	EN Receiver Master Core Enable bit 1일 때, Core enable, 0일 때 disable.
		6	RW	IE Interrupt Enable bit 1일 때 Interrupt enable, 0일 때 disable.
		[5:0]	RW	Reserved
PERRL	0x06	[7:0]	RW	Clock Prescale Reg. low byte
PERRH	0x07	[7:0]	RW	Clock Prescale Reg. high byte

그림 2 Data 수신 중 일 때의 출력파형



IV. 결론 및 향후 연구 방향

본 논문에서 구현한 수신기는 기존에 Software 방식으로 구현되었던 IrDA Receiver를 Hardware로 구현함으로써 IrDA에 대한 이해가 없는 사용자들도 몇 가지 신호의 설정만으로 쉽게 Ir Signal을 수신 할 수 있도록 하였다. 구현된 수신기는 CLK Prescaler를 내장하고 있어 사용자가 원하는 CLK의 설정이 가능하며 8Bit의 Data와 3Bit의 Address로 CPU와 내부 Register가 서로 Data를 주고받도록 설계되었다.

참고문헌

- [1] Weng Fook Lee, Verilog Coding for Logic Synthesis , Wiley Inter-Science
- [2] Samir Palnitkar저, 장훈 역, VERILOG HDL:디지털 설계와 합성의 길잡이 , 홍릉과학, 2005.
- [3] 김혁 글, 박경윤 감수, Real Xilinx FPGA World, 엔트미디어, 2003
- [4] 이승호, 이경은, 임만직 공저, Altera max+plus II를 이용한 디지털 시스템 설계, 복두출판사, 1999.
- [5] 이연조, 임베디드 리눅스 프로그래밍, PC book, 2002.
- [6] SAMIR PALNITKAR 지음, 장훈 옮김, "Verilog HDL", 영한출판사, 2002
- [7] Kernighan, Brian W., "C언어 프로그래밍", 대영사, 2004
- [8] 전교화미, "C 언어 포인터 완전제패", 영진닷컴, 2002