

# 지상파 DMB 수신용 SoC 설계 및 구현

구본태\*, 이주현, 최민석, 이석호, 김진규, 김성민, 박기혁, 김덕환, 권영수, 엄낙웅  
ETRI/ IT 융합.부품연구소

## Design and Implementation of the SoC for Terrestrial DMB Receiver

Bontae Koo\*

IT Convergence and Components Lab. ETRI

E-mail : \*koobt@etri.re.kr

### Abstract

This paper describes the functions and design technology of the T-DMB (Terrestrial Digital Multimedia Broadcasting) receiver. T-DMB is a novel broadcasting media that can provide high-quality video and audio services. In this paper, we will describe the VLSI implementation of RF, Baseband and Multimedia Chip for T-DMB Receiver. The designed DMB SoC has low power consumption and has been implemented using a standard-cell library in 0.18um CMOS technology.

### I. 서론

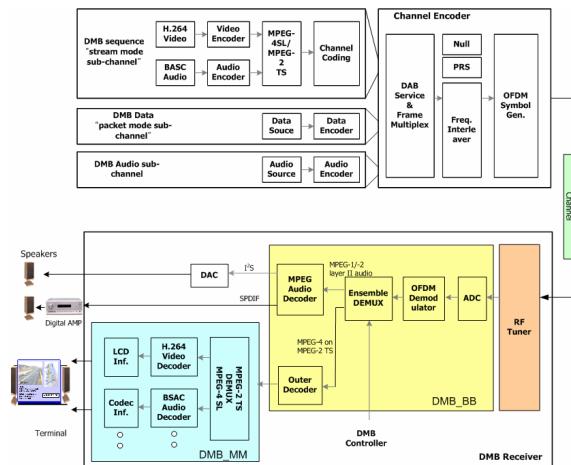
“이동하면서 보는 손안의 TV”, DMB 는 현재 각광을 받고 있다. 텔레비전 방송과 통신이 한 단말기내에 융합되는 통·방융합의 매개체로 DMB 기술은 급속도로 발전하고 있는 실정이다. 휴대폰에 장착된 DMB 가 급성장하기 위해서 다양한 필요조건이 있어야 되겠지만, 전력 소모는 그 무엇보다도 중요할 것이다. 2 시간에서 8 시간으로 시청시간을 확보할 수 있다면, 무선휴대단말기에서의 DMB 시장은 급성장될 것으로 예상된다.

본 논문에서는 지상파 DMB 수신기 개발에 필요한 SoC 수신기술에 대해 살펴볼 것이며, 저전력/저가격/소형화를 목표로 지상파 DMB 수신기의 핵심 부품을 one-chip SoC 로 구현하였다.

### II. T-DMB 규격

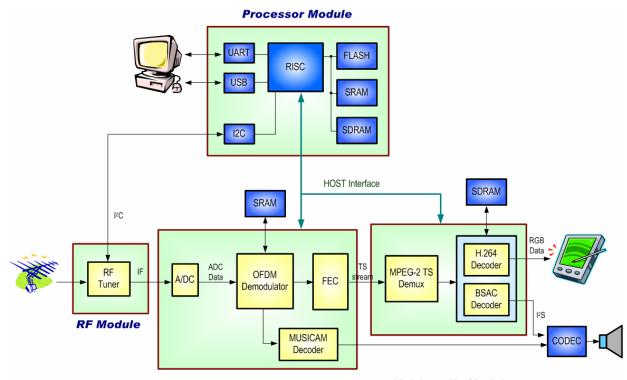
지상파 DMB 규격<sup>[1]</sup>은 유럽의 DAB(Digital Audio Broadcasting) 전송규격을 기반으로 하고, 이동 멀티미디어 서비스를 제공하기 위해서, (그림 1)에서 보듯이 “Stream mode sub-channel” 을 통한 MPEG-4 AVC/H.264

비디오<sup>[2]</sup>와 MPEG-4 BSAC 오디오<sup>[2]</sup>를 사용한다



(그림 1) 개념적인 지상파 DMB 시스템 구조

### III. T-DMB 수신기 SoC 구조



(그림 2) 지상파 DMB 수신기 구조

지상파 DMB 수신기의 핵심 부품은 3 가지로 분리할 수 있다. 투너, Baseband 그리고 DMB 멀티미디어 부분이다. (그림 2)에 지상파 DMB 수신기의 개략적인 수신

기 구조를 나타냈다.

### a) RF 투너 구조

RF 투너는 Eureka-147 전송 규격을 기본으로 Band-III 의 RF 신호를 받아 Low-IF 신호로 down conversion 시켜 전송하는 모듈이다. 최종 IF 출력신호를 입력 신호세기와 관계없이 항상 일정하게 유지하도록 자동이득 제어(Automatic Gain Control) 기능, IF 출력 신호세기 제어, Power down mode, 채널 선택 제어할 수 있도록 I2C 인터페이스를 내장하고 있다. VCO 의 위상 잡음에 강하게 VCO 와 PLL 로 설계되었고, 매우 큰 dynamic range 와 인접 TV 신호와의 간섭을 피할 수 있도록 IR(image rejection filter) 와 BPF(band pass filter) 를 설계하였다. CMOS 0.18um RF 공정을 사용하여 베이스밴드와 멀티미디어와 함께 Mixed 설계가 되었다.

### b) BaseBand 구조

베이스밴드내에 10Bit ADC 를 내장하였으며, 샐플링주파수는 8.192MHz 이다. Low-IF 를 입력받아, Zero-IF 로 변화하는 다운믹싱 기능과 I/Q 신호 분리하고. AGC(자동이득제어)에서 균일한 파워 레벨을 유지한다. OFDM 복조는 2048 FFT 를 사용하며, FFT 블록의 시작점은 심볼타이밍 동기 블록에서 조절한다. 널 심볼을 이용하여 타이밍동기의 시작시점을 찾고, PRS(Phase Reference Symbol)을 활용하여 주파수 동기와 타이밍 동기를 추정, 보정한다. 타이밍 디인터리빙은 대략 4Mbit 의 외부 SRAM 메모리를 사용한다. 오류 정정 복호로는 비터비 디코더와 이동 D-TV 수신 성능을 BER  $10^{-6}$  이상 얻기 위하여 Outer 디인터리버와 (204,188) RS 디코더를 내장하고 있다. MPEG-1,2 Layer II 오디오 디코더는 하드웨어로 구현하여 전력소모를 줄였다.

### c) Multimedia 구조

지상파 DMB 의 멀티미디어는 기능적으로 3 부분으로 분류하며 다음과 같다. 1)시스템 디버싱은 32bit RISC 프로세서와 스트림을 처리하는 TS 인터페이스블록으로 구성되며, MPEG-2 TS,PES, MPEG-4 SL 파싱과 오디오/비디오 ES 스트림을 분리하여 외부 SDRAM 메모리에 저장 한다. 2)비디오 디코딩은 VLD(variable length decoder), 인트라/인터 예측기, 역변환/역양자화기, 음작임보상, 디블록킹필터 등으로 구성되며, NAL/Header 파싱은 OpenRISC 프로세서에서 처리한다. 3)오디오 디

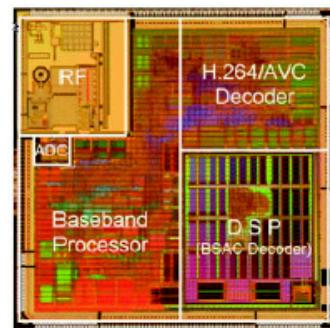
코딩은 SDRAM 에 저장되어 있는 오디오 스트림을 읽어 와 헤더 처리하고, 24bit DSP 로 디코딩한다.

## IV. 구현

<표 1>에 설계된 DMB SoC 수신칩 사양을 나타냈다. 0.18um TSMC 1P6M Mixed 공정을 사용하였으며, 칩사이즈는 8.6mm x 8.6mm 이다. (그림 3)에 설계된 DMB SoC 칩의 레이아웃 도면을 나타내었다.

<표 1> 지상파 DMB SoC 칩 사양

Parameter	RF	Baseband	Multimedia
Technology		0.18um CMOS 1P6M	
Chip Area		8.6 x8.6 mm <sup>2</sup>	
Main Clock	24.576M	24.576M	54M
Power Supply	1.8V	3.3/1.8V	3.3/1.8V
Gate Size		60 만	90 만
Power Dissipation	~70mW	~100mW	~100mW



(그림 3) T-DMB Receiver Chip layout (8.6x8.6 mm<sup>2</sup>)

## IV. 결론 및 향후 연구 방향

지상파 DMB 수신기용 핵심 칩을 one-chip 으로 설계 및 SoC 구현하여, 소비전력을 개선하였으며 휴대폰용으로 사용할 수 있도록 구현하였다. 향후는 0.13um 낮은 공정으로 초전력 DMB 칩을 구현할 것이다.

## 참고문헌

- [1] TTA 표준초단파 디지털라디오방송 송수신정합표준
- [2] 정보통신단체표준 TTAS.KO 비디오 송수신정합표준
- [3] Joint Video Team (JVT) of ISO/IEC MPEG and ITU-T VCEG, "Draft ITU-T recommendation and final draft international standard of joint video specification ITU-T Rec. H.264 | ISO/IEC 14496-10 AVC," , JVTG05, 2003.
- [4] "Coding of audio-visual objects part 3: Audio" , ISO/IEC 14496-3:1999