

휴대폰 카메라용 JPEG2000를 위한 DWT 프로세서 SoC 설계

*손창훈
전남대학교 전자정보통신공학과
e-mail : beozzang @nate.com

SoC design of DWT processor of JPEG2000 for cellphone camera

*Chang-Hoon Son
Department of Electronics and Information Engineering
Chonnam University

Abstract

By adding user interface to the usual router, an improved functional router is implemented. In this paper, we design the DWT(Discrete Wavelet Transform) for JPEG2000 CODEC. The DWT is developed based on ARM-based Excalibur, and the system contains DMA processor, Slave interface, DWT filter, Controller. The architecture of the proposed DWT is verified using Altera QuartusII.

I. 서론

시간이 지날수록 고성능의 휴대폰에 대한 요구가 높아지고 있으며, 디지털 컨버전스의 효과로 휴대폰의 성능은 바로 휴대폰에 장착된 휴대폰 카메라의 화소수 및 다양한 영상처리로 평가되고 있다. 현재 1000만 화소급의 고화소 휴대폰이 등장하였으며, 이를 통해 고화소에 따른 데이터의 급격한 증가를 가져오게 되었으며, 데이터의 급격한 증가를 제한된 대역폭으로 전송하기 위해서는 원래의 화상을 손실 없이 압축할 수 있는 화상 압축 프로세서의 개발이 필수적이다.

본 논문은 차세대 정지영상 압축표준인 JPEG2000의 웨이블릿 변환부를 매우 적은 메모리를 이용하여 실시간 처리가 가능하도록 구현하였다. 시스템은 휴대폰의 기본적인 외부SDRAM을 사용함으로써 전체 이미지를 Tiling 하지 않고 block artifact를 일으키지 않는다. AMBA 버스상의 DMA 구조로 설계하여 실행 속도를 높이고, 작은 버퍼메모리(32Byte x 2)를 사용해 메모리 사용 면적을 줄였다.

II. 본론

구현한 이차원 DWT 프로세서는 line-based 방식이며, 8bit gray 또는 16bit YCbCr 4:2:2 형식의 영상을 처리할 수 있다. Daubechies 9/7 또는 5/3 필터 계수를 선택할 수 있으며 컨볼루션 방식의 필터 구조로 설계되었다. 그림 1에 시스템의 구조를 나타내었다. 처리할 입력 영상은 외부의 SDRAM에 저장되어 있으며, DWT를 수행하는 과정에서 필요한 데이터 저장공간으로 SDRAM을 사용한다. 하나의 line에 대해 독립적으로 DWT를 수행하며, SDRAM에서 필요한 데이터를 읽어와 내부의 버퍼 메모리1에 저장한 후 필터링을 수행한다. 필터링된 출력 값이 저장되는 내부의 버퍼 메모리2가 다 차게 되면, 버퍼 메모리에서 SDRAM로 데이터를 이동한다. 이 과정에서 32 Byte 크기의

FIFO 두개가 사용되고, SDRAM의 데이터 입출력을 빠르게 하기 위해 DMA 구조를 사용하였다. 외부 버스는 AMBA 버스를 사용하였다.

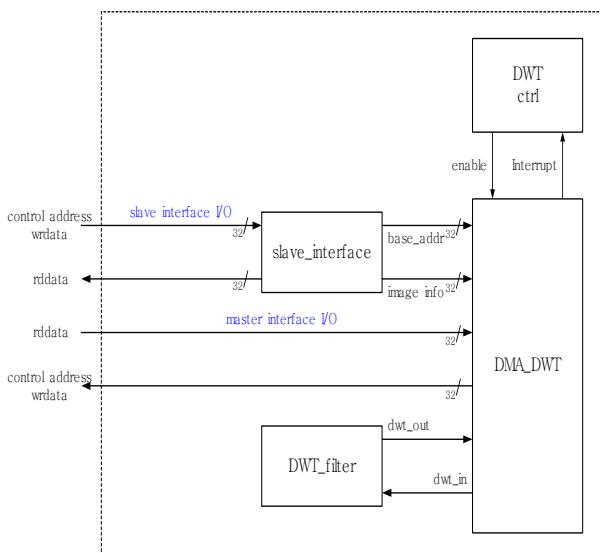


그림 1. DWT 시스템 구조

DWT_ctrl 블록은 DWT 수행을 모두 마치면 ARM 프로세서에 Interrupt 신호를 보내서 DWT 작업이 완료된 것을 알린다. DWT_filter는 1bit의 부호비트(sign bit)와 15bit의 크기비트(magnitude bit) 형식으로 컨볼루션을 이용한 필터링을 수행한다.

III. 구현

그림 2는 DWT 수행 시뮬레이션 결과이다. 필터계수로는 9/7 필터를 선택하고, 256 x 256 크기의 칼라 영상을 3 level까지 DWT 과정을 수행한 결과이다. DWT가 끝나는 지점에서 작업의 끝을 알리기 위해 ARM 프로세서로 Interrupt 신호를 보낸 후 idle 상태

```
...ip/inst_dwt_ip/masterhclk 0
...ip/inst_dwt_ip/reset_n 1
.../inst_dwt_ip/mastergrant 1
...inst_dwt_ip/masterready 1
...inst_dwt_ip/masterridata 66336733
...p/inst_dwt_ip/masterhlock 0
...p/inst_dwt_ip/masterhwint 0
...p/inst_dwt_ip/masterhaddr 00000000
...inst_dwt_ip/masterhbuseq 0
...p/inst_dwt_ip/masterhsize 0
.../inst_dwt_ip/masterhtrans 0
.../inst_dwt_ip/masterhburst 0
...inst_dwt_ip/masterhwdata 05A2E197
...dma_dwt/enable_dma_dwt 0
...inst_dma_dwt/color_image 0
...st_dma_dwt/step_of_level 0
...inst_dma_dwt/end_of_dwt 0
...inst_dma_dwt/cbctr_state idle
...p/inst_dma_dwt/lev_state idle
...p/inst_dma_dwt/dim_state idle
/tb_dwt_ip/inst_dwt_ip/irq 0
/tb_dwt_ip/slave_wr_state done
/tb_dwt_ip/slave_wr_state done
```

그림 2. DWT 수행 시뮬레이션 결과

가 된다. Altera의 Quartus II를 사용하여 하드웨어와 소프트웨어를 통합 설계하여 합성하고 검증하였다. 소프트웨어는 설계한 IP를 ARM 프로세서에서 제어 설정할 수 있다.

IV. 결론 및 향후 연구 방향

표 1은 Quartus II를 사용하여 합성한 결과를 나타내고 있다. 외부의 SDRAM을 사용하여 전체 이미지를 tiling 하지 않아도 되기 때문에 tiling에 따른 영상의 왜곡을 일어나지 않기 때문에 고화질의 영상 압축을 수행할 수 있다. 시뮬레이션한 결과와 합성결과를 통해 적은 내부 메모리를 이용하여 실시간 처리가 가능한 DWT 프로세서의 설계가 가능함을 알 수 있다.

Total logic elements	4,541 / 38,400(11%)
Total memory bits	1024 / 327,680 (< 1 %)
Max. clock	62.65 Mhz

표 1. Altera tool을 이용한 합성 결과

참고문헌

- [1] ISO/IEC 15444-1, "Information technology JPEG2000 image coding system-Part 1: Core coding system", 2000
- [2] Gilbert Strang/Tuong, "Wavelet and Filter Bank", Wellesley-Cambridge Press, 1996
- [3] www.altera.com

