

진화 하드웨어 시스템을 위한 재구성 가능한 디지털 신호처리 구조

이한호, 최창석, 이용민, 최진택, 이종호, 정덕진
인하대학교 정보통신공학부
e-mail : {hhlee, chlee, djchung}@inha.ac.kr

A Reconfigurable Digital Signal Processing Architecture for the Evolvable Hardware System

Hanho Lee, Chang-Seok Choi, Yong-Min Lee, Jin-Tack Choi,
Chong-Ho Lee, Duk-Jin Chung
School of Information and Communication Engineering
Inha University

Abstract

This paper presents a reconfigurable digital signal processing(rDSP) architecture that is effective for implementing adaptive digital signal processing in the applications of smart health care system. This rDSP architecture employs an evolution capability of FIR filters using genetic algorithm. Parallel genetic algorithm based rDSP architecture evolves FIR filters to explore optimal configuration of filter combination, associated parameters, and structure of feature space adaptively to noisy environments for an adaptive signal processing. The proposed DSP architecture is implemented using Xilinx Virtex4 FPGA device and SMIC 0.18um CMOS Technology.

I. 서론

최근 많은 디지털 신호 처리 및 스마트 헬스케어 시스템은 DSP프로세서에 의해 구현되어 왔다. 스마트 헬스케어 시스템에 적합한 디지털 신호처리 구조는 낮은 복잡성 및 높은 유연성과 구현비용의 절감에 효율적인 연산구조를 필요로 한다. 그래서 최근 복소수 및 고속연산은 병렬처리가 가능한 하드웨어에서 처리된다. 지금까지 재구성 하드웨어와 진화하드웨어에 대한 연구는 활발히 연구되어 왔다[1][2]. 왜냐하면 진화하드

웨어는 실시간으로 진화 할 수 있고, 예상하지 못한 다양한 환경에서 최적의 성능을 유지할 수 있기 때문이다. 재구성 하드웨어는 최적의 응답을 출력으로 내기 위해 하드웨어가 최적의 구조로 구성될 때 까지 계속된다.[3]

본 논문에서는 재구성 진화 하드웨어(rEHW)시스템과 특히 스마트 헬스케어 시스템에 적용할 적응 디지털 신호처리를 위한 효율적인 재구성형 디지털 신호처리(rDSP)구조에 초점이 맞춰져 있다.

제안된 rEHW 시스템은 rDSP 블록과, 유전자 알고리즘 코프로세서(GAP)를 포함하는 진화 임베디드 프로세서로 구성되어 있다. rDSP는 Xilinx Virtex4 FPGA를 이용한 검증 및 SMIC 0.18um CMOS 공정을 이용하여 구현하였다.

II. 재구성 진화 하드웨어

rEHW 시스템은 그림 1에서 보여지는 바와 같이 디지털 신호처리를 위한 rDSP 모듈과 진화 임베디드 프로세서로 구성되어진다. 진화 임베디드 프로세서와 rDSP로의 입력 데이터는 근잡음, 간섭잡음, 및 60Hz의 전력선 잡음 등으로 섞인 ECG 신호를 처리해야 하며, rDSP 블록은 FIR 필터의 인식과 자동적인 채택을 위한 최적의 결과를 제공해야 한다. 일반적으로 low, band, high, notch 필터들이 많은 신호처리 알고리즘을 위해 개별적으로 사용된다[4]. GA 프로세서를 포함하고 있는 진화 임베디드 프로세서는 각 신호그룹의

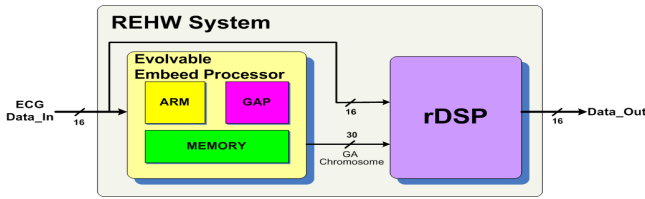


그림 1. rEHW 시스템의 블록도.

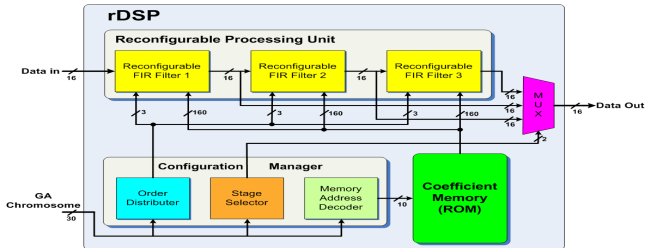


그림 2. 재구성 디지털 신호처리(rDSP) 구조의 블록도.

특징추출, 분류, GA알고리즘에 기반한 진단과정 처리를 위해 사용되며, 신호그룹들의 최적의 전처리 및 특징추출을 찾는 데 사용된다.

III. 재구성 디지털 신호처리 구조

3.1 재구성형 FIR 필터

재구성형 FIR 필터는 총 10개의 RPM을 사용하여 6차부터 20차까지 확장이 가능한 재구성형 FIR필터를 구현하였고, 입력된 Data에 따라 유연하게 필터의 차수가 조절됨에 따라 적절한 결과값을 출력할 수 있다.

3.2 재구성 디지털 신호처리(rDSP) 블록

rDSP블록은 low-pass, band-pass, high-pass, notch 필터 알고리즘에 의해 디지털 신호처리를 수행한다. 재구성 처리 유닛은 3개의 재구성 FIR 필터로 구성되어 있고 필터들은 GA프로세서로부터 크로모솜을 이용하여 최적의 필터링을 수행하도록 검색 및 선택된다.

IV. 구현 및 검증

4.1 Xilinx Virtex4 FPGA를 이용한 검증

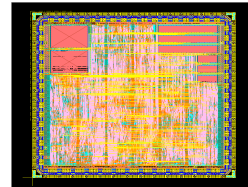
Xilinx Virtex4 FPGA 모듈 및 Xilinx ChipScope Pro Analyzer를 이용하여 rDSP 모듈을 검증하였다. 또한 rEHW 시스템은 rDSP FPGA 모듈 및 진화 임베디드 프로세서를 포함한 rEHW 임베디드 시스템 테스트 보드를 사용하여 검증 하였다.

4.2 SMIC 0.18um CMOS 공정을 이용한 rDSP구현

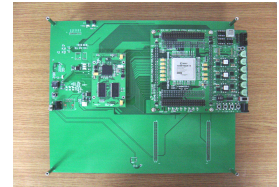
설계 및 검증을 완료한 rDSP 모듈을 SMIC 0.18um CMOS 공정을 이용하여 CMOS칩으로 구현하였다. 표 2는 ASIC으로 구현하였을 때 게이트 수와 동작 주파수 및 동작 전압을 보여주고 있다.

표 1. FPGA의 로직 사용량.

	FPGA Device Utilization
Slice, RAMB	14,070 , 16
Eq. Gate Count	194,240
Clock Speed	58.5 MHz



(a)



(b)

그림 3. (a) rDSP블록 layout, (b) 검증용 시스템보드.

표 2. rDSP칩 성능 (SMIC 0.18 μm 공정 사용).

	SMIC 0.18 μm 공정
Gate Count	582,182
Clock Speed(typical)	80 MHz
외부,코어 전압	3.3V, 1.8V
Chip 크기(mm)	3.75 x 3.75

V. 결론

본 논문에서는 rEHW 시스템에 사용된 재구성 디지털 신호처리(rDSP) 구조를 제안하였다. rDSP는 Xilinx Virtex4 FPGA를 이용하여 검증하였고, SMIC 0.18-um CMOS 공정을 이용하여 CMOS칩으로 구현하였다. 제안된 rDSP 구조는 외부환경요인을 스스로 감지할 수 있기 때문에 잡음환경의 변화에서 좋은 성능을 보이며, 앞으로 스마트 헬스케어 시스템 또는 통신 시스템에서의 DSP연산에 유용하게 쓰일 것이다.

감사의 글

본 연구는 대학 IT연구센터(이하 UWB-RC) 육성 지원사업의 연구결과로 수행되었음.

참고문헌

- [1] T.Higuch 외, "Evolvable System: From biology to Hardware", Tsukuba, Springer 1996.
- [2] N. Tsuda "Fault-tolerant Processor Arrays Using Additional Bypass Linking Allocated by Graph-Node Coloring", IEEE Trans. Computers Vol.49, No.5, pp.431-442, May,2000.
- [3] J. Faugman "Uncertainty relation for resolution in space, spatial frequency, and orientation optimization by two-dimensional cortical filters," Journal Opt. Soc. Amer2(7),pp277-286, July 2004.
- [4] T.S.Kim외 "Context-Aware Computing Based Adaptable heart Disease Diagonosis Algorithm" KES 2005, LNAI 3682, pp 284-290, 2005.