

Charge recycling 기술을 이용한 tri-state clock driver

*김시내, 임종만, 윤한섭, 광계달

한양대학교 전자통신컴퓨터공학부

A design on a tri-state clock driver using charge recycling

*Si Nai Kim, Jong Man Im, Han Sub Yoon, and Kae Dal Kwack

Division of Electrical and Computer Engineering

Hanyang University

e-mail : sinai0210@hotmail.com

Abstract

This paper introduces a CMOS clock driver that shows a high efficiency of electric power (lower power consumption) with the supply of lower voltage(VDD), by taking advantage of charge recycling technology. Comparing with the existing structure, this driver showed the improved maximum efficiency of electric power; 72% and 68%, with the supplied voltage of 1.8v and 1.2v, respectively. Since the output waveform shows the tri-state operating region, utilization is expected in the digital integrated circuits.

I. 서론

현재 사용되는 전자 기기의 많은 부분이 클럭 신호를 인가하여 device 를 동작 시키는 clocked-device 이다. 클럭을 인가하여 커패시터를 구동하는 데는 많은 전력이 필요하고, 갈수록 회로가 고속화됨에 따라서 소비전력은 더욱 증가하는 추세[1]이다. 특히 VLSI 회로를 설계함에 있어서 큰 용량의 부하를 구동하기 위해서는 회로의 면적이 커지게 되는데 집적도가 높아야 하는 VLSI 구현에 있어서는 피해야 할 과제이다. Charge recycling 기술의 기본적인 개념은 출력 단 커패시턴스 부하에 충전된 전하를 다른 커패시턴스 부하를 충전하는데 재사용 하는 것이다. 이를 위해서 양단의 부하 사이에 전압으로 제어되는 스위치를 연결시키고 이 스위치를 제어하기 위해 요구되는 제어신호를 발생시킨다. 서로 반대되는 신호를 발생시키는 clock driver 의 경우에는 한

주기에 두 번 charge recycling 이 발생하므로 매우 큰 전력 감소효과를 얻을 수 있다. 또한 본 논문에서 제안하는 tri-state 기술을 이용할 경우 일반적인 구조와 비교하여 공급전압 1.8V 에서 최대 72%의 전력 효율을 가졌고 최저 공급전압 1.2V 에서 68%의 높은 전력효율을 갖는 새로운 clock driver 의 설계방법을 제시 한다.

II. 본론

그림 1 은 일반적인 clock driver [2]의 구조이다. 서로 inverting 하는 in1 과 in2 두 clock 이 입력되어 C1, C2 두 개의 capacitive load 를 충전, 방전 시키는 기본적인 구조이다.

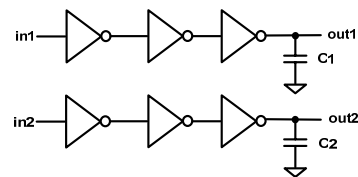


그림 1. 일반적인 clock driver 의 구조

그림 1 의 구조는 capacitor 를 구동하기 위해서 충전, 방전하는 데 쓰이는 전력 소모를 빼고도 logic level 이 바뀌는 전이구간에서 inverter chain 에 많은 current loss 가 발생하게 된다. 일반적인 clock driver 구조에서는 capacitor 에 충전됐던 전하가 신호가 바뀔때 따라서 인버터 체인 마지막 단의 nMOS 를 통해서 모두 방전되어 낮은 전력 효율을 나타내게 된다. 그림 1 의 구조에서 한 주기 동안에 양단의 부하에서 소모되는 전력의 크기[3]는 식 (1)과 같다.

$$E_{load} = C_1 \cdot V_{DD}^2 + C_2 \cdot V_{DD}^2 \quad (1)$$

여기서 VDD는 공급전압을 나타낸다. charge recycling 과정은 한 주기 동안 부하에서 소모되는 전력의 크기 [3]를 식 (2)와 같이 감소시킨다.

$$E_i = V_{DD} \int_{\frac{V_{DD}-C_j}{C_i+C_j}}^{V_{DD}} C_i \cdot dV = C_i \cdot V_{DD}^2 \frac{C_i}{C_i + C_j} \quad (2)$$

여기서 Ci는 충전되는 커패시턴스를 Cj는 방전되는 커패시턴스를 나타낸다. 정적분의 아래끝은 charge sharing 이후에 평형상태를 이룬 양단 출력의 전위값을 나타낸다. 다음으로 전력 감소 인자(energy saving factor)를 구해보면 식 (3)과 같다.

$$e = 1 - \frac{E_1 + E_2}{E_{load}} = \frac{2C_1C_2}{(C_1 + C_2)^2} \quad (3)$$

식(3)에서 알 수 있듯이 최대의 전력 소모감소효과는 양단의 부하가 같은 크기의 커패시턴스 값을 가질 때이며 일반적인 clock driver에 비해서 최고 50%의 전력 소모를 감소시킬 수 있다. 기존에 소개된 charge recycling 기술을 사용한 clock driver는 모두 위 식에서 살펴본 바와 같이 이상적인 한계 값인 50%에 훨씬 못 미치는 전력 감소 효율[3],[4]을 보여왔다. 본 논문은 입력 주파수를 반으로 감소시키는 방법으로 전력 효율을 72%까지 향상시킨 클럭 드라이버를 제안한다.

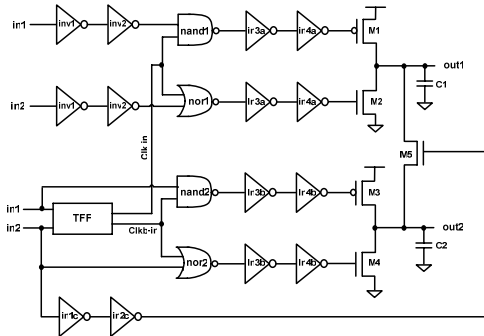


그림 2. 제안된 clock driver의 회로도

제안된 회로의 동작을 살펴 보면 먼저 in1이 low(0)이고 in2가 high(1)일 경우, out1은 high(1)가 out2에는 low(0)가 각각 출력된다. Pass transistor M5에는 high 신호가 인가되므로 C1에서 C2로 charge sharing이 발생한다. 이때 in1이 high로 in2가 low로 바뀌게 되면 먼저 M5에는 low신호가 입력되어 양단의 부하 커패시터간의 charge sharing은 멈추게 되고 nand1과 nor1은 모두 high 신호를 출력하여 M1은 꺼지고 M2는 켜져 C1에 남아있던 전하(VDD/2)는 M2를 통해서 모두

방전된다. Nand2와 nor2는 모두 low 신호를 출력하므로 M3은 켜지고 M4는 꺼져 이전에 charge sharing을 통해서 C1으로부터 C2에 공급된 전하로 VDD/2까지 충전되었던 C2는 M3를 통해서 VDD로부터 전하가 충전되어 out2는 VDD 전위에 이르게 된다. T Flip-Flop은 입력 신호의 주기를 두 배로 증가시키는 역할을 한다. 본 구조는 인버터 체인 제어 회로를 사용하여 VDD와 GND사이의 direct pass를 제거하였고 charge sharing이 발생하는 동안에 출력단과 VDD 혹은 GND사이의 불필요한 패스를 제거하였다.

III. Simulation 결과 및 분석

그림 3은 공급전압 1.8 V, 동작주파수 20MHz, 양단의 부하 커패시턴스 20pF의 조건에서 standard CMOS 0.35um 공정을 사용하여 simulation한 결과 파형이다. 부하 커패시턴스와 공급전압의 변화에 따른 전력 소모 감소효율 변화를 표 1에 나타내었다.

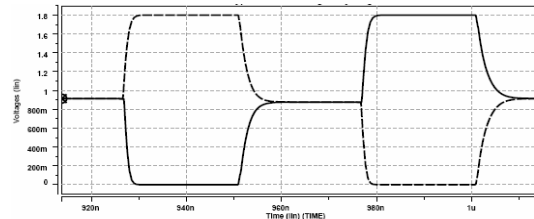


그림 3. 제안된 구조의 출력 파형

Clod [pF]	POWER SAVING[%]		
	1.8[V]	1.5[V]	1.2[V]
10	63	63	61
20	69	69	66
30	71	71	68
40	72	72	68
50	72	72	67

표1. 제안된 구조의 전력 소모 감소효율

참고문헌

- [1] Anantha P. Chandrakasan, LOW POWER DIGITAL CMOS DESIGN, Kluwer Academic Publishers, 1995.
- [2] John P. Uyemura, CMOS LOGIC CIRCUIT DESIGN, Kluwer Academic Publishers, 1999.
- [3] Kyriakis-Bitzaros, E.D.; Nikolaidis, S.S.; "Design of Low Power CMOS Drivers Based on Charge Recycling," ISCAS 1997, pp. 1924 – 1927.
- [4] Bouras, I.; Liaperdos, Y.; Arapoyanni, A.; "A high speed low power CMOS clock driver using charge recycling technique," ISCAS 2000, pp. 657 – 660.