

PoRAM의 특성을 고려한 행 디코더 설계 및 시뮬레이션

박유진*, 김정하, 조자영, 이상선**
 한양대학교 공과대학 전자전기컴퓨터공학부

A Row Decoder Design and Simulation Considering The Characteristics of PoRAM

Yujin Park*, Jungha Kim, Jayoung Cho, Sangsun Lee**
 Div. Electrical and computer Engineering
 Hanyang University

E-mail : yujjin82@hotmail.com*, kimjungha@ece.hanyang.ac.kr,
Mini_Elly@hotmail.com, ssnlee@hanyang.ac.kr**

Abstract

The low crosstalk row-decoder is studied for PoRAM applications. Because polymer-based memories can be more densely integrated than established silicon-based ones, PoRAM is highly sensitive for the crosstalk problem. To overcome the problem and to suggest the suitable decoder for PoRAM, this paper shows the comparison of the row-path characteristics for both the 2-stage dynamic logic decoder and the 2-stage static logic decoder. Moreover, to suppress the Glitch effect which is observed by using the static logic decoder, the Master-Slave(M/S) D-Flip/Flop(D-F/F) is applied as a deglitch. Finally, the improved output result of the 2-stage static logic decoder with the M/S D-F/F is shown..

I. 서론

Polymer Random Access Memory(PoRAM)는 단순한 1R 구조로서 제조 공정이 다른 메모리에 비해 단순하고 기존 공정과 정합이 간단해서 집적도가 가장 높고, Write/Erase time 이 10ns 이하로 빠른 동작 속도를 나타내고 있다. 반면에 수명기간이 1년 이하인 문제점과 고집적화에 따른 Crosstalk 현상이 나타나게 되는데 이를

ssnlee@hanyang.ac.kr**

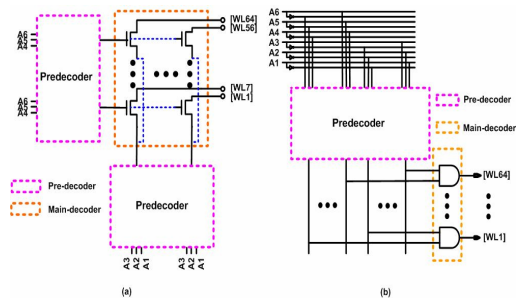


그림 1. 2 단 디코더 (a) dynamic logic 2 단 디코더 (b) static logic 2 단 디코더

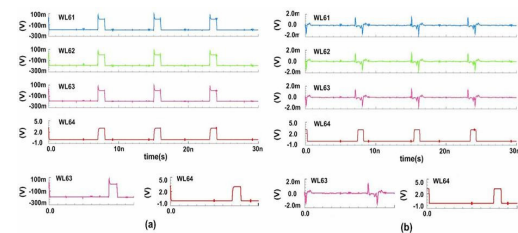


그림 2. 2 단 디코더 출력파형 (a) dynamic logic 2 단 디코더 시뮬레이션 (b) static logic 2 단 디코더 시뮬레이션

최소화 시켜주기 위해 주변회로 중에서 파워손실이 큰 디코더 부분을 설계하고, 디코더 출력에서 나타나는 문제점인 글리치에 대한 설명과 이를 개선하는 방법으로 Master-Slave(M/S) D-Flip/Flop(D-F/F)을 제안한다[1].

II. 본론

디코더는 입력 신호가 증가할수록 많은 면적을 필요로 하게 되는데, 2 단 디코더를 적용하면 디코더가 차지하는 면적의 비중이 줄어들게 된다. 그림 1 은 첫 번째 단은 프리디코더, 두 번째단은 메인디코더로 구성된 dynamic logic 과 static logic 의 2 단 디코더를 나타낸다. PoRAM 의 crosstalk 문제를 해결하기 위해 디코더단을 dynamic logic 과 static logic 의 2 가지 구조로 제안하였다. dynamic logic 은 트랜지스터 수를 줄여 dynamic 전력소모를 줄일 수 있는 반면에 노이즈와 레이아웃에 민감한 단점을 가진다. 이에 반해 static logic 은 dynamic logic 보다 트랜지스터 수는 증가하지만 노이즈에 덜 민감하여 PoRAM 의 문제점인 crosstalk 현상을 줄일 수 있다. 그림 2 에서는 dynamic logic 과 static logic 2 단 디코더의 출력파형을 나타낸다. 해당 라인에 3V 의 펄스를 인가하여 워드라인 64 (WL64)를 선택하고, 선택하지 않은 WL61~WL63 은 그림 2-(a)의 경우 약 -300~+100mV 의 범위와 그림 2-(b)의 거의 0V 에 해당하는 약 -2~+2mV 의 범위를 나타낸다. 따라서 static logic 은 잡음에 대해 민감한 반응을 보이는 dynamic logic 보다 노이즈에 대한 안정성이 더 뛰어난 것을 알 수 있다. 그림 3 은 static logic 2 단 디코더의 글리치 현상을 방지한 M/S D-F/F 를 나타낸다. 글리치 현상이란 logic gate 회로를 직렬로 연결하였을 때, 출력에는 하나의 gate 에 대한 지연시간만큼 지속되는 결과가 나타나는 현상을 말한다[2]. 노이즈의 영향을 적게 받는 static logic 2 단 디코더를 사용함에도 불구하고, 그림 3-(a)과 같이 노이즈 현상이 발생하게 되는데 이를 방지하기 위해 3-(b) 그림처럼 메인디코더로 들어가기 전에 한 개의 입력 부분에 M/S D-F/F 를 거쳐 전체적인 출력파형에 글리치를 방지하는 방법을 사용한다[3]. 3-(c)에서와 같이 글리치 현상이 확연히 줄어들 것을 알 수 있다.

III. 결론

PoRAM 은 1R 구조로 단순 구조의 장점을 가지고 있지만 고집적화에 따른 crosstalk 현상을 해결해야 한다. 이를 해결하기 위해 dynamic logic 을 사용하는 것보다 static logic 2 단 디코더를 사용하는 것이 더 효율적인 사실을 알았고, 또한 static logic 을 사용함으로써 생기는 미세한 노이즈 까지 없애기 위해 M/S D-F/F 를 삽입, 시뮬레이션을 통하여 글리치가 방지됨을 알 수 있었다.

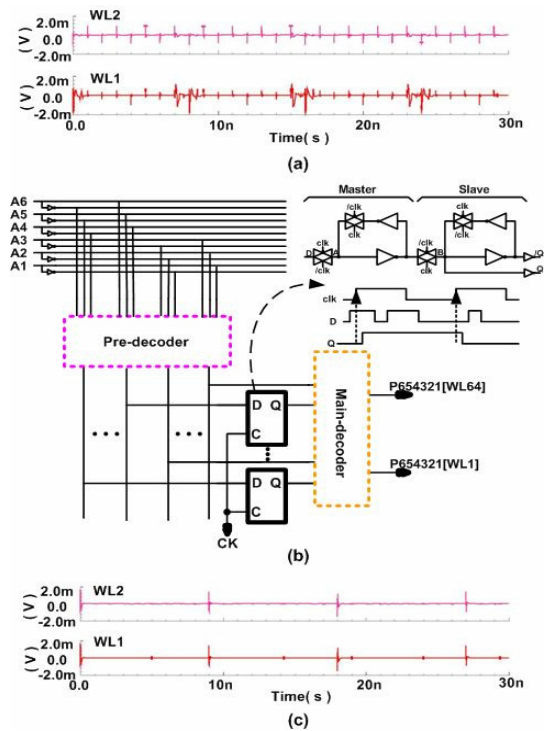


그림 3. Static logic 2 단 디코더의 글리치 현상을 방지한 M/S D-F/F. (a) 글리치 현상 (b) M/S D-F/F 를 적용한 행 디코더의 개략도 (c) M/S D-F/F 삽입 후 행 디코더 출력파형

Acknowledgement

This project was supported by "The National Research Program for the 0.1 Terabit Non-Volatile Memory Development Sponsored by Korea Ministry of Commerce, Industry and Energy."

참고문헌

- [1] 박재근 백운규, "PoRAM 최근 연구 동향 및 향후 개발 방향," 한국물리학회 물리학과 첨단기술, 제 14 권 9 호, pp. 26-29, Sep. 2005.
- [2] Masanori Hashimoto, Hidetoshi Onodera and Keikichi Tamaru, "A Power Optimization Method Considering Glitch Reduction by Gate Sizing," IEEE Int. Symp. Low Power and Design, pp. 221-226, Aug. 1998.
- [3] Steven Hsu and Shih-Lien Lu, "A Novel High-Performance Low-Power CMOS Master-Slave Flip-Flop," IEEE ASIC/SOC Conf., pp. 340-343, Sept. 1999.