

PRML 신호용 저전력 아날로그 비터비 디코더 개발

김현정*, 김인철*, 김형석*
전북대학교 전자정보 공학부

Design of Low power analog Viterbi decoder for PRML signal

Hyunjung Kim*, In-cheol Kim*, Hyongsuk Kim*
Division of Electronics and Information Engineering
Chonbuk National University
E-mail : *jibins@chonbuk.ac.kr

Abstract

A parallel analog Viterbi decoder which decodes PR (1,2,2,1) signal of optical disc has been fabricated into chip. The proposed parallel analog Viterbi decoder implements the functions of the conventional digital Viterbi decoder utilizing the analog parallel processing circuits. In this paper, the analog parallel Viterbi decoding technology is applied for the PR signal. The benefit of analog processing is the low power consumption and the less silicon consumption. The test results of the fabricated chip are reported in this paper.

I. 서론

최근 멀티 미디어에 관한 관심이 고조되었다. 이로 인하여 고 배속, 고화질의 저장매체가 요구 되고 있다. 자기 드라이브와 광 드라이브는 인접 신호의 영향을 많이 받으므로, 이를 줄이기 위하여 멀티레벨을 이용하는 PRML 기술을 이용한다[1][2][3].

한편, PR 신호 생성(코딩) 시 에러검출이 용이하게 규칙을 구성하면, 비터비 디코더처럼 최적화 방법을 사용하여 에러를 정정할 수 있다. 이를 PRML (Partial Response Maximum Likelihood) 기술이라 명명하고 자기디스크 드라이브에 사용되는 중요 기술이 되었다.

이러한 PRML 기술은 주로 디지털 기술에 의해 구현되어 사용하였으나, 저장 매체의 고속화에 따른 전력 소비의 증가로 한계점에 도달하였기 때문에 아날로그

방식의 PRML 연구에 관심을 갖고 연구하고 있다. 아날로그 방식은 A/D 변환기가 불필요하고, 등화기, Timing 회로 등에 아날로그 회로를 이용하므로 소비 전력이 적고, 소형이라는 장점이 있다[4][5].

본 논문에서 제안한 순환형 아날로그 비터비 디코더 회로를 광학 드라이브의 PRML 신호 디코딩용으로 설계하여 제작하였으며, 테스트 결과를 서술하였다.

II. 본론

제안한 아날로그 비터비 디코더는 트랜시스 다이어그램의 각 노드에 최대값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조이며, 그림 1 과 같이 마지막 열의 셀들과 처음열의 셀들을 연결한 순환형 구조이다.

그림 2 은 그림 1 의 순환형 구조를 펼친 전개도로 현재의 디코딩 stage 를 지시하는 stage indicator, 코딩 상태를 표시하는 state indicator, 아날로그 신호의 출력 회로 및 입력 capacitor 로 구성되어있다. 제안한 비터비 디코더의 디코딩은 기준 입력 I_{ref} 가 한 스테이지에 인가되고, 각각의 stage 에 연결된 capacitor 에 심볼이 저장되면 시작한다. 디코딩이 시작할 I_{ref} 의 초기 위치는 임의로 지정되지만, stage indicator 의 순서에 의하여 다음 I_{ref} 가 인가될 위치가 정해진다. 인가된 I_{ref} 는 각 stage 의 모든 셀에 전파되어 마지막 stage 에서의 값의 변화 정도에 따라 디코딩 하는 원리이다. 즉, 첫 번째 stage 의 '0'의 경로를 절단한 후 임의의 기준전류 I_{ref} 를 공급하였을 때, 마지막 단의 출력 변화 여부 정도에 따라 '0' 또는 '1'으로 결정한다.

※본 논문은 한국학술진흥재단의 지역대학 우수과제 지원에 의하여 이루어졌습니다.

제안한 비터비 디코더를 제작하기 위하여, 그림 3 과 같은 신호처리 셀 회로를 구성하였다. 그림 3 의 중앙 부분에 있는 절대값 회로는 각 path 의 브랜치 에러를 계산하고, 계산된 브랜치 에러값과 이전 셀로부터 전파된 값과의 연산 및 최적적 path 선택은 그림 3 의 오른쪽 최대값 연산회로에서 수행된다.

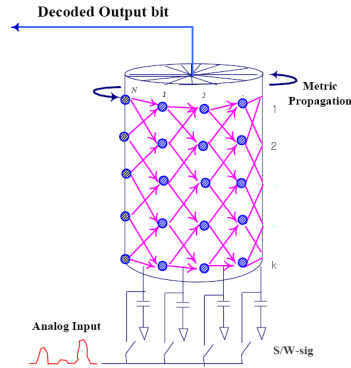


그림 1. 제안한 아날로그 비터비 디코더의 순환형 구조

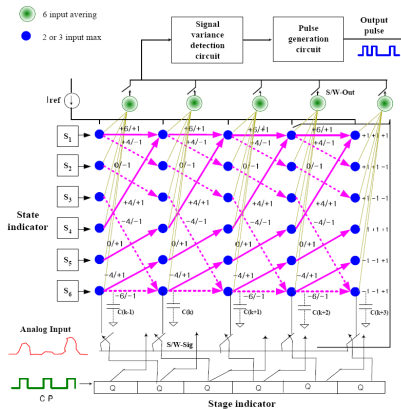


그림 2. 제안한 비터비 디코더 구조의 전개도

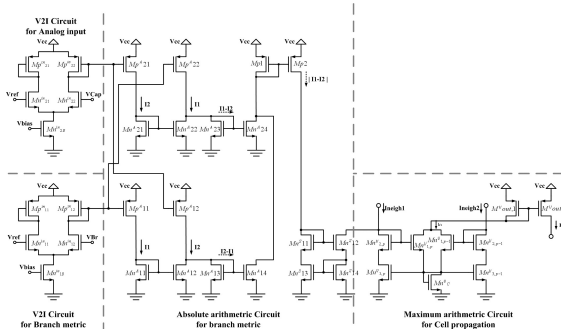


그림 3. 제안한 비터비 디코더에서의 셀 회로

III. 결론 및 향후 연구 방향

제안한 비터비 디코더의 회로를 동부 아남 0.18um 공정을 사용하여 5mm×5mm 크기의 TQFP 타입의 칩으로 제작하였다. 특히 기존의 디지털 타입의 비터비 디코더를 아날로그 병렬 처리 구조를 이용하여 제작하였으며, 결과를 기술하였다. 그림 4 은 비터비 디코더의 입력 신호와 마지막

단에서의 출력 전압을 나타내고, 그림 5 는 입력 신호에 대한 디코딩 출력 결과이다. 그림에서 제안한 비터비 디코더는 제안한 에러 정정 알고리즘에 의하여 정확히 디코딩됨을 확인 할 수 있었다.

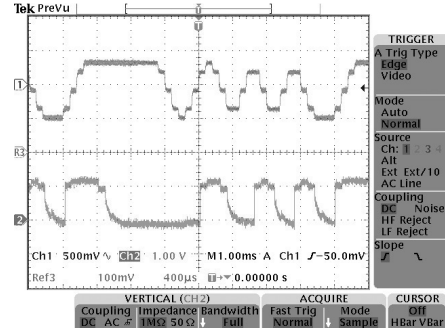


그림 4. 비터비 디코더의 마지막 단의 출력

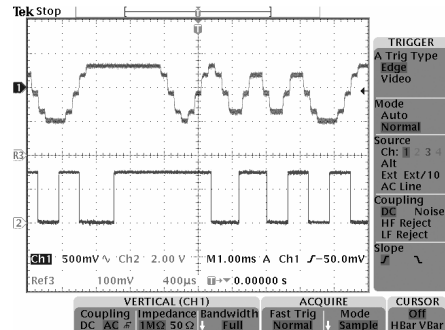


그림 5. 비터비 디코더의 출력 결과

참고문헌

- [1] Gene Sonu, Nedi Nadershahi, Stanley Radzewicz, Young-Mook Kim, Jae-Wook Lee, Daeyun Shim, K.O.Cho, Hyuncheol Park, Kiwon Lee, Hyun-Soo Park and Jae-Seong Sim, "Partial-Response Maximum-Likelihood Core Development for a CD/DVD Controller Integrated Circuit", IEEE Trans. On. magnetics, Vol.37, No.2, March 2001.
- [2] Sung Han Choi, Jun Jin Kong, Byung Gook Chung, Yong Hwan Kim, "Viterbi Detector Architecture for High Speed Optical Storage", IEEE Region 10 Annual Conference, TECON '97., Speech and Image Tech. for Computing and Telecommunications, Vol.1, pp.89-92, Dec 1997.
- [3] K.Parshi and N.Rao, "A 200M/s PRML read/write channel IC.", Int. Solid-State Circuits Conference, San-Francisco, CA, Feb. pp.66-67,1996
- [4] Hyongsuk Kim, Hongrak Son, Tamas Roska and Leon O. Chua, "High-performance Viterbi Decoder with Circularly Connected 2-D CNN Unilateral Cell Array", IEEE Trans. On Circuit and Systems I, vol.52, pp. 2208-2218, Oct. 2005
- [5] 손홍락, 김현정, 김형석, 이정원 "순환형 아날로그 병렬 회로망 구조를 이용한 DVD 용 PR(1221) 신호의 디코딩", 대한 전자공학회 논문지, 제 43 권 SD 편, 제 1 호 pp.17-26. 2006년 1월