

DRAM bus system 을 위한 analog calibration 적용 Pre-emphasis Transmitter

박정준¹, 차수호¹, 유창식¹, 기중식²

¹한양대학교 전자통신컴퓨터공학부, ²하이닉스반도체

E-mail : baekgom070@hotmail.com

Abstract

A Pre-emphasis transmitter for DRAM bus system has achieved 3.2Gbps/pin operation at 1.8V supply voltage with 0.18um CMOS process. The transmitter has 800MHz PLL to generate 4 phase clocks. The 4 phase clocks are used for input clock of PRBS and multiplexing. One tap pre-emphasis is used to reduce inter symbol interference (ISI) caused by channel low pass effects. The analog calibration makes the optimized driver impedance independent with the PVT variation.

I. 서론

DRAM interface 에서 valid data window 를 확보하기 위해 channel 의 LPF 형태 특성으로 인해 발생하는 Inter Symbol Interference(ISI) 을 제거하고, PVT variation 에 일정한 slew-rate 를 유지하기 위해 driver 의 Ron variation 을 줄여야 한다. ISI 는 transmitter 에서 channel 의 특성을 미리 예측하여 제거하는 pre-emphasis [1][3], receiver 에서 feedback 을 이용하여 ISI 를 제거하는 equalization[2] 기법이 있다. Ron variation 은 Off Chip Driver(OCD), ZQ-calibration 과 같은 방법을 사용해 억제한다. 본 논문은 pre-emphasis 구조의 transmitter 로 OCD(Off Chip Driver)와 같이 큰 면적을 차지하는 driver 의 size 감소를 위해 analog calibration 을 이용하고, 새로운 driver 형태를 제시 하였다. GDDR4 를 위해 data rate 은 3.2Gbps 을 가지고, channel 은 GDDR3 의 환경을 이용하였다.

II. 본론

ISI 를 제거하기 위해 pre-emphasis 가 적용된 transmitter 는 그림 1 과 같다. Clock 은 input jitter rejection 차원에서 PLL 을 이용한다. Pseudo Random Binary Sequence (PRBS)는 PLL 의 800MHz 4 phase multi

clock 을 이용하여 각기 다른 4 개의 2⁷-1 random bit 을 가지는 parallel data 를 발생한다. 이를 4:1 multiplexing 하여 3.2Gbps 의 D[n], D[n-1]을 발생한다.

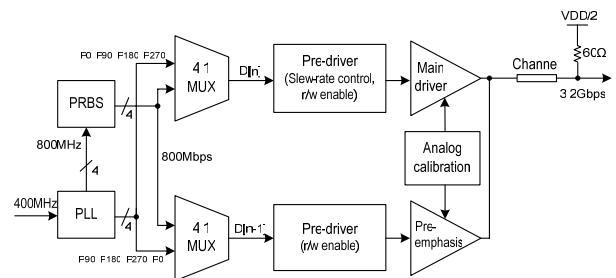


그림 1. Transmitter block diagram

Pre-emphasis 는 D[n]과 D[n-1]을 이용하여 data 가 0 에서 1 또는 1 에서 0 으로 바뀔 때 data 의 고주파 성분을 미리 강조하는 방법이다[3]. 강조하는 정도는 channel 시뮬레이션을 통해 가장 효과 적으로 ISI 를 제거하는 값이다. Pre-driver 는 MUX 에서 본 driver 의 load 가 크기 때문에 data 의 full swing 을 위해서 사용하였다. 이는 VDD, GND 를 공통으로 사용하는 driver 에서 simultaneous switching noise (SSO/SSN)의 영향을 줄이기 위해 slew-rate 를 control 할 수 있고, bi-directional 인 DRAM 에서 read/write 를 선택할 수 있다.

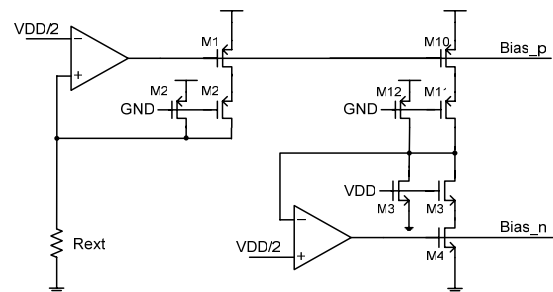


그림 2. Analog calibration bias

PVT variation 에도 slew-rate 를 일정하게 유지 시키기 위해 analog calibration[4] 을 사용하여 driver 의 Ron 을

항상 40Ω 으로 유지시킨다. 그림 2 는 analog calibration bias 회로이다. Digital 방식에 비해 전류소모가 증가하지만, size 는 매우 작다. Rext 를 40Ω 대신 2KΩ 을 사용하여 전류 소비를 줄였고, 더불어 bias circuit 의 transistor size 도 현격히 감소 하였다.

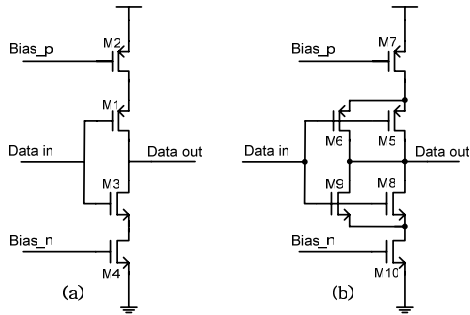


그림 3. (a) 기존 driver, (b) parallel 구조 driver

Analog calibration 을 위한 기존의 driver 구조는 그림 3 의 (a)와 같다. 이는 40Ω 의 Ron 저항을 가지기 위해 driver 의 size 가 매우 커야 한다는 단점을 가지고 있다. 이를 해결 하기 위해 본 논문은 (b)와 같이 transistor M6, M9 를 이용하여 병렬로 driver 를 구성하였다. 이를 통해 40%이상 size 는 감소 하였다.

III. 구현

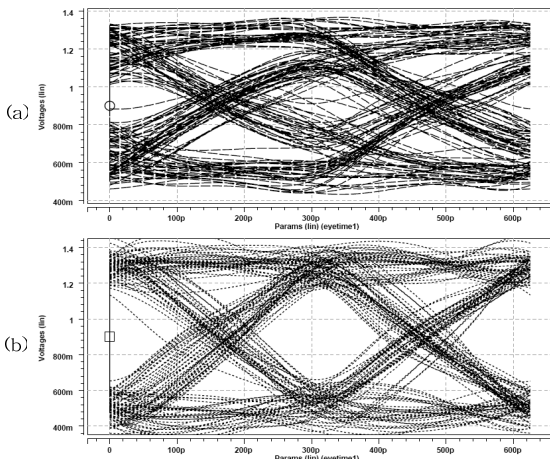


그림 4. SSO/SSN을 고려한 eye-diagram (a) pre-emphasis 미 적용, (b) pre-emphasis 적용 + pre-driver control

PVT variation에 따른 driver의 Ron의 변화는 표 1과 같다. GDDR4 spec[5]을 확인하면 최고 1pin의 VDDQ, VSSQ 당 2pin의 DQ가 공유한다. 이 조건에서

channel과 SSO/SSN의 영향은 그림 4의 (a)와 같이 pre-emphasis를 사용하지 않을 때 output에서 eye-diagram open을 확인할 수 없다. 하지만 pre-emphasis와 pre-driver에서 slew-rate control을 통해 (b)와 같은 eye-diagram의 확장을 보여준다.

표 1. PVT variation에 따른 Driver의 Ron 변화

	SS, VDD=1.6 Temp=100℃	NN, VDD=1.8 Temp=27℃	FF, VDD=2.0 Temp=0℃
PMOS	46.6Ω	38.2Ω	38.4Ω
NMOS	44.5Ω	38.6Ω	39.7Ω

IV. 결론 및 향후 연구 방향

본 논문에서는 valid data window 가 PVT 변화에 둔감하도록 작은 size 의 analog calibration 을 가지는 pre-emphasis 구조의 3.2Gbps 의 transmitter 를 제안하였다. 공급전압은 1.8V, 0.18um 공정을 사용하였다. GDDR3 의 channel 환경은 3.2Gbps 의 data rate 의 동작에 최적화 되지 않았으므로 추후 GDDR4 의 channel 환경에서 eye-diagram 확인이 필요하다.

Acknowledgment

The CAD tools used in this work were supported by IDEC.

참고문헌

- [1] Seung-Jun Bae et al., "A 3Gbps 8b single-ended transceiver for 4 drop DRAM interface with Digital calibration of Equalization Skew and Offset Coefficient," IEEE ISSCC, pp. 520-522, Feb. 2005.
- [2] Bang-Sup Song and Soo, D.C., "NRZ timing recovery technique for band-limited channels," IEEE J. Solid-State Circuits, Vol. 32, pp. 514-520, April. 1997.
- [3] Poulton, J. and Dally, W.I., "A tracking clock recovery receiver for 4-Gbps signaling," IEEE Micro, Vol. 18, pp. 25-27, Jan. 1998.
- [4] Seok-Woo Choi et al., "A PVT-insensitive CMOS Output Driver with Constant Slew Rate," IEEE AP-ASIC2004, pp. 116-119, Aug. 2004.
- [5] www.JEDEC.com