

4-way 구조를 갖는 128 point 파이프라인 FFT 프로세서의 설계

*이상민, 조연선, 이성주, 김재석
연세대학교 전기전자공학과
e-mail : ahalian@asic.yonsei.ac.kr

Design of 128 point pipelined FFT processor with 4-way structure

*Sang-Min Lee, Un-Sun Cho, Seong-Joo Lee, Jae-Seok Kim
School of Electric and Electronic Engineering
Yonsei University

Abstract

In this paper, 4-way data path 128 point pipelined FFT processor with 4-way structure is proposed. The proposed FFT processor has 4-way structure in order to meet data requirement of MB-OFDM system at 132MHz operating frequency. The FFT processor is based on R4MDC and extended to suit 4-way data path. The FFT processor is designed by Verilog HDL and the gate count is about 88k.

I. 서론

디지털 멀티미디어가 발달함에 따라 다양한 고속 통신 시스템이 사용 및 개발되고 있다. 그중 하나인 OFDM 시스템은 FFT 프로세서를 이용하여 데이터를 변복조하므로 고속의 FFT 프로세서를 설계하는 것이 OFDM 방식의 고속 통신 시스템을 구현하는데 있어 핵심이라고 할 수 있다.

광대역을 사용하는 고속 통신 시스템인 UWB 시스템

※본 연구는 정보통신부 및 정보통신연구진흥원 대학 IT 연구센터 육성·지원사업의 연구 결과로 수행되었고, CAD Tool은 IDEC으로부터 지원 받았음.

중 현재까지 발표된 MB-OFDM 시스템은 528MHz의 대역폭을 갖는 128 point FFT를 사용한다[1]. 하지만, FFT 알고리즘 자체가 다수의 연산기로 구성되기 때문에 528MHz의 동작주파수를 얻는 것은 어렵다. 또한 동작 주파수가 높아짐에 따라 생길 수 있는 전력 소모 및 설계의 난이도 증가 등의 문제가 추가적으로 발생할 수 있다. 따라서 다중 데이터 패스 방식의 FFT 프로세서를 사용하여 동작주파수는 낮추되 데이터 처리량을 유지하는 것이 효율적이다.

본 논문에서는 MB-OFDM 시스템에 적합한 4-way 구조를 갖는 128포인트 FFT 프로세서의 구조를 제안하고 설계하였다.

II. 본론

FFT 프로세서에 관한 기존의 연구들에 의해 다양한 FFT 프로세서의 하드웨어 구조가 정립되어 있다. 이를 분류하면 크게 세 가지로 구분할 수 있는데, 첫 번째는 단일 버터플라이 구조이다. 두 번째는 파이프라인 구조이고, 마지막은 병렬 구조이다. OFDM 시스템에서는 데이터가 순차적으로 처리되므로 파이프라인 구조가 적합하며, 파이프라인 구조는 속도와 하드웨어 복잡도 면에서 절충되는 장점이 있다[2].

파이프라인 FFT 구조는 기본적으로 직렬 데이터 입출력의 형태를 갖고 있기 때문에 4-way에 적용하기 위

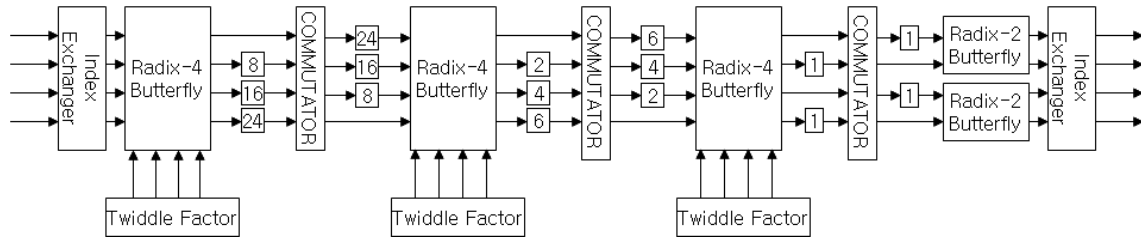


그림 1. 4-way 구조를 갖는 128 point 파이프라인 FFT 프로세서의 구조

해서는 순서교환기가 필요하다. 입력 데이터들을 그대로 버터플라이 연산을 수행할 수 없으므로 순서를 변경하여 올바른 순서로 재배열한다. 최종 출력 또한 4-way 구조에 맞도록 순서를 변경하여야 한다.

파이프라인 구조에는 SDF, MDC, SDC 등이 있는데 [3], 제안된 구조가 4-way이므로 Radix-4 버터플라이를 사용하여 R4MDC 형태를 기본 구조로 사용하는 것이 처리량 면에서 최적이라고 할 수 있다. 다만 128이 $4^3 \times 2$ 이기 때문에 Radix-4 만으로 구성할 수 없기 때문에 Radix-2를 병렬로 추가하였다.

하드웨어로 구현시 고정소수점방식을 사용하게 되므로 데이터 입출력에 사용할 비트수를 결정하는 과정이 필요하다. MB-OFDM시스템은 5bit의 ADC를 사용하여 성능이 검증되었으므로 FFT프로세서의 입력 비트수는 5비트로 하였다. 출력비트수는 시뮬레이션을 통해 확장비트수에 대한 RMSE값을 구해서 최적의 비트수를 결정하였다. 시뮬레이션 결과 8비트로 확장하되, 표현범위를 넘는 값을 포화시키면, 적은 비트수라도 상대적으로 높은 RMSE값을 얻을 수 있다. 결정된 비트수의 고정 소수점방식을 적용한 FFT 프로세서를 MB-OFDM 시스템에 적용하여 시뮬레이션 한 결과 부동 소수점 방식의 그것과 유사하게 나오는 것을 확인할 수 있었다.

Quantization length	RMSE
10 bit(5bit extension)	13.886
8 bit(3bit extension)	31.747
5 bit(no extension)	100.532
8 bit(3bit extension/saturation)	19.532

표 1. 비트 확장에 따른 RMSE값

III. 구현

제안된 구조의 FFT 프로세서는 Verilog HDL을 사용하여 설계되었고, CMOS 0.18um 공정을 사용하여 Synopsys로 합성하였다. 합성한 결과는 아래의 표2에

나타내었다.

블록명	게이트수	블록수	총 게이트수
Radix-4 BF	1,964	3	5,892
Radix-2 BF	614	2	1,228
COMMUTATOR1	17,350	1	17,350
COMMUTATOR2	4,728	1	4,728
COMMUTATOR3	1,322	1	1,322
순서 교환기1	6,214	1	6,214
순서 교환기2	8,092	1	8,092
TF 승산기(W ₁₂₈)	19,153	1	19,153
TF 승산기(W ₃₂)	19,153	1	19,153
TF 승산기(W ₈)	5,122	1	5,122
계			88,254

표 2. FFT 프로세서의 논리합성결과

IV. 결론

본 논문에서는 4-way 구조를 갖는 128 point 파이프라인 FFT 프로세서의 구조를 제안하고 이에 대한 하드웨어 구현 및 결과를 나타내었다. 제안된 FFT 프로세서 구조는 복수의 데이터를 동시 입력받아 데이터 처리량을 증가시키는 구조로, 상대적으로 낮은 동작주파수에서 요구되는 대역폭을 만족시킬 수 있기 때문에 높은 대역폭과 동시에 저전력을 요구하는 시스템에 적합한 구조라 할 수 있다.

참고문헌

- [1] MultiBand OFDM Alliance Special Interest Group, "MultiBand OFDM Physical Layer Specification Release 1.1", 2005
- [2] 정운호, 김재석, 고속멀티미디어 통신시스템을 위한 효율적인 FFT 알고리즘 및 하드웨어 구현, 2004년 3월 전자공학회논문지 제41권 SD편 제3호
- [3] 김재석, 조용수, 조중휘, "이동통신용 모뎀의 VLSI 설계", 대영사, 2001