

# Nano Floating Gate Memory 의 동작 및 특성 평가를 위한 주변회로 설계

박경수\*, 최재원\*\*, 김시내\*\*, 윤한섭\*\*, 광계달\*\*  
한양대학교 정보디스플레이공학과\*, 한양대학교 전자통신컴퓨터공학과\*\*

## The design to the periphery circuit for operaton and characteristic assessment of the Nano Floating Gate Memory

Kyungsoo Park\*, Jaewon Choi\*\*, Sinae Kim\*\*, Hansub Yoon\*\*, Kaedal Kwack\*\*  
Dept. of Information and Display Engineering Hanyang University\*  
Dept. of Electronics and Computer Engineering Hanyang University\*\*

E-mail : \*jjam09@hanyang.ac.kr, \*\*cjwo164@hanyang.ac.kr, \*\*sinai0210@hanyang.ac.kr,  
\*\*hansubyoon@hanyang.ac.kr, \*\*kwack@hanyang.ac.kr

### Abstract

This paper presents the design results of peripheral circuits of non-volatile memory of nano floating gate cells. The designed peripheral circuits included command decoder, decoders, sense amplifiers and oscillator, which are targeted with 0.35um technology EEPROM process for operating test and reliable test. The simulation results show each operation and test mode of output voltage for word line, bit line, well and operating of sense amplifier.

### I. 서론

현재 반도체 기술의 발전으로 인하여 소자의 크기는 0.1um 보다 작아져 나노시대 라고 정의하고 있다. 그러나 크기가 줄어 들수록 기존의 플래쉬 메모리는 물리적, 전기적으로 안정한 scaling down 의 한계가 나타나기 때문에 이를 극복하기 위한 새로운 개념의 메모리들이 연구되고 있다[1]. 본 연구는 새롭게 연구되고 있는 차세대 메모리 중에 Nano Floating Gate Memory(NFGM)를 64 비트 배열로 구현했을 때 그 소자의 특성과 메모리로서의 동작을 확인할 수 있는 주변회로를 설계하였고, SMIC 0.35um EEPROM 공정을 사용하여 칩을 제작하여 시뮬레이션결과와 측정결과를 비교하였다.

### II. 본론

기본 동작은 NAND 플래쉬 메모리의 동작 원리를 응용하였으며 64 비트 배열과 주변회로를 각각 분리하여 셀 배열의 외부에서 설계한 주변회로가 동작 전압을 인가 하도록 설계하였다[2]. 우선 WEPAD, CEPAD, OEPAD 와 주소가 입력되면 command decoder 블록에서 명령을 결정하여 내부 제어 신호를 출력한다. 이 제어 신호들에 의해 Word Line 및 Bit Line 전압이 선택되고, sense amplifier 와 출력 버퍼에 의해 출력이 결정된다. 비휘발성 메모리의 기본 동작인 읽기, 쓰기, 소거 이외에 아무 동작도 하지 않을 경우 W/L 전압을 초기화 시키도록 하는 동작과 4 가지 테스트 동작을 추가하였다. 셀의 동작 전압은 모두 외부에서 공급하는 방식으로 설계하였으며, 읽기, 쓰기 동작은 1 비트씩 수행하고, 소거 동작은 64 비트 전체를 한번에 소거 하도록 설계하였다. 그림 1. (a) 은 외부에서 단위셀을 선택 하기 위한 6 비트의 주소와 WEPAD, CEPAD, OEPAD 의 값을 입력하면 동작 및 내부 제어 신호를 결정하는 입력 파형이다. 초기화//소거/쓰기/읽기/테스트 동작은 WEPAD,OEPAD, CEPAD 의 조합에 의해 결정되며 4 가지의 테스트 동작은 CPAD0 과 CAPD1 에 의해 결정된다. 내부제어 신호와 주소의 상위 3 비트를 입력 받아 셀배열의 W/L 에

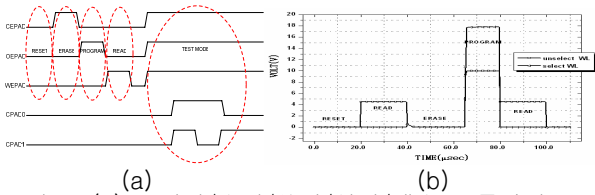


그림 1. (a) 초기화/소거/쓰기/읽기/테스트 동작의 입력파형 (b) 각 동작에 따른 W/L의 출력 전압

각 동작에 따른 전압을 인가한다. TABLE I 은 각 동작에 따른 셀 배열에 인가해 주는 전압을 나타내고 있다. 기존의 NAND 플래쉬 메모리는 페이지 버퍼 방식으로 선택된 1 비트의 셀의 데이터를 출력하지만, 본 주변 회로는 64 비트로 설계하였으므로 간단한 sense amplifier를 사용하여 셀의 전류에 따라 '0' 과 '1'의 데이터를 출력 버퍼를 통하여 출력하도록 설계하였다. 본 논문에서 설계된 회로들을 Hspice 를 사용한 모의 실험을 통하여 검증은 하였는데 그림 1. (b) 은 각동작에 따른 W/L의 출력 전압을 보여 주고 있다.

### III. 실험결과

본 연구는 NFGM 메모리의 64 비트 배열의 동작 및 신뢰성 평가를 위한 주변회로를 Full-custom 으로 설계하였다. 64 비트 셀 배열 칩과 주변회로 칩을 각각 분리하여 동작 및 테스트에 필요한 전압을 주변회로에서 인가해 주어 비휘발성 메모리로써의 특성을 파악 할 수 있다. 그림 2는 SMIC 0.35um EEPROM 공정으로 설계된 주변회로의 Layout 과 실제 제작된 chip의 사진이다. TABLE II는 Memory tester 인 MS3440을 사용하여 그림 3의 측정된 결과파형을 정리한 것이다.

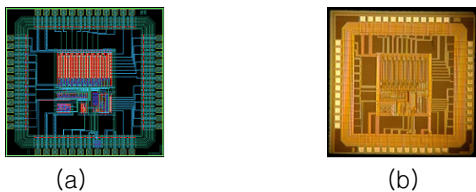


그림 2. (a)Full-chip Layout (b)Test chip 사진 (SMIC 0.35um 공정)

TABEL I의 값과 약간 차이가 나지만 각 동작을 하기에는 무리없는 값을 얻었다. (단 측정시 SMIC 0.35um EEPROM 공정이 지원하는 high voltage 가 15.5V여서 쓰기, 소거 동작에 필요한 18V의 전압대신 15.5V로 대체 하였음.)

### Acknowledgements

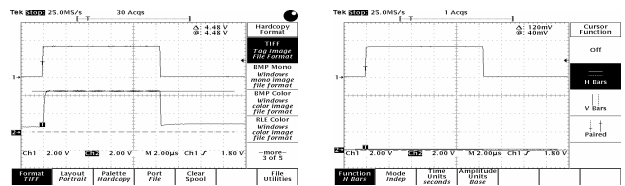
본 연구는 산업자원부에서 주관하는 0.1 Tb 급 차세대 비휘발성 메모리 개발 사업의 지원을 받았습니다.

Table 1. 각 동작에 따른 셀인가 전압[3]

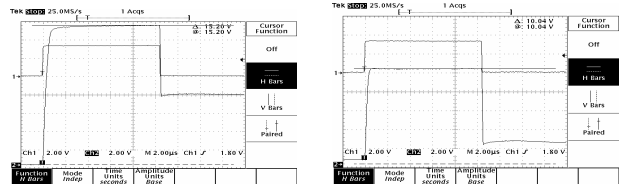
	읽기	쓰기	소거
Sel. W/L	0V	18V(15.5V)	0V
Unsel. W/L	4.5V	10V	0V
SSL	4.5 V	VDD	Floating
GSL	4.5V	0V	Floating
CSL	4.5V	•	•
PWELL	0V	0V	18V(15.5V)

Table 2. Test chip 측정결과

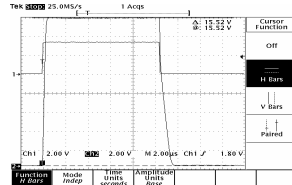
	읽기	쓰기	소거
Sel. W/L	40mV	15.2V	
Unsel. W/L	4.48V	10.04V	
PWELL			15.52V



(a) Unsel W/L(READ)(b) Sel W/L(READ)



(c) Sel W/L(PROGRAM) (d) Unsel W/L(PROGRAM)



(e) PWELL(ERASE)

그림 3. Test 측정결과

### 참고문헌

[1] Wiliam D. Brown, Joe E. Brewer, "Nonvolatile Semiconductor Memory Technology, A Comprehensive Guide to Understanding and Using NVSM Devices", IEEE Press, p4-23, p25-52, 1998

[2] Bez, R, Camerlenghi, E. Modelli, A. Visconti, A "Introduction to Flash Memory" Volume 91, Issue 4, April 2003 Page(s):499 - 502 Digital Object Identifier 10.1109/JPROC.2003.811702

[3] Tanzawa, T.; Tanaka, T.; Takeuchi, K.; Nakamura, H, "Circuit techniques for a 1.8-V-only NAND flash memory", Solid-State Circuits, IEEE Journal of Volume 37, Issue 1, Jan. 2002 Page(s):84 – 89 Digital Object Identifier 10.1109/4.974549