

고밀도 성능향상을 위한 다중연산구조기반의 움직임추정 프로세서

*이강환,
한국기술교육대학교 정보기술공학부
e-mail : kwlee@kut.ac.kr

An Improving Motion Estimator
based on multi arithmetic Architecture

Kangwhan Lee
School of Information Technology
Korea University Technology and Education

Abstract

In this paper, acquiring the more desirable to adopt design SoC for the fast hierarchical motion estimation, we exploit foreground and background search algorithm (FBSA) base on the dual arithmetic processor element(DAPE). It is possible to estimate the large search area motion displacement using a half of number PE in general operation methods. And the proposed architecture of MHME improve the VLSI design hardware through the proposed FBSA structure with DAPE to remove the local memory. The proposed FBSA which use bit array processing in search area can improve structure as like multiple processor array unit(MPAU).

I. 서론

최근 VLSI 설계에서 하드웨어 구조의 특징이 고려된 비디오 신호처리에 핵심적인 영상신호를 실시간 처리하려는 VLSI 구조가 다양하게 연구되어지고 있다. 특히 영상신호를 처리함에 있어 신호의 병렬성을 활용하는 연산구조는 데이터 입,출력 제한을 극복할 수 있어 고밀도 고성능의 움직임 추정 성능 향상에 적용되는 구조이다^[1]. 이 경우 일반적인 디지털 신호기를 이

용하는 것보다 효율적인 연산구조의 사용으로 실시간 처리가 가능한 고성능 완전정합 알고리즘 처리기의 개발이 가능하다^[2]. 따라서 이러한 SoC 시스템의 구현에 있어 기본적으로 고려해야 될 사항으로는 시스템의 크기와 데이터의 처리속도이며, 양자는 일반적으로 상호보완적 관계를 유지하고 있다. 이러한 추세로 볼 때 시스템의 소형화와 모듈화를 위해 보다 개선된 알고리즘과 함께 이들의 구현을 위한 하드웨어 구조에 따른 VLSI 알고리즘도 함께 연구되어야 할 것이다. 이를 위해 본 연구에서는 다중연산구조를 기반으로 한 고밀도 움직임추정의 이중연산구조를 제시한다.

II. 제안된 다중연산기 구조

본 연구에서 제시하고자 하는 기본 VLSI 구조는 다중연산이 가능한 이중연산처리(dual arithmetic processor element, DAPE) 구조로 화소 루프를 전역 및 후역의 탐색영역으로 나누어 연산 제어를 함으로써 보다 빠른 연산과 외적인 제어요소가 제거된 단순구조에 따른 연속성과 확장성을 얻을 수 있다. 제안된 VLSI 구조는 블록 화소 병렬 처리(Block Pixel Parallel Processing, BPPP)형 어레이 구조로 내부에 포함된 블록 화소 처

리 루프를 여러 개의 처리기 소자(processor element, PE)를 이용하여 완전병렬 파이프 라인 동작을 수행함으로써 각각의 변위 벡터 값을 처리기 소자(PE)로부터 직접 얻을 수 있는 연산처리의 구조이다. 이중연산처리기 소자(DAPE)에서는 아래 그림 1에서 나타낸바와 같이 탐색영역의 데이터를 전역탐색 화소열(foreground pixel, FG)과 후역탐색 화소열(background pixel, BG)로 다중화 처리하여 움직임 추정 연산을 처리한다. 제안된 MEP구조의 동작순서는 탐색영역 데이터 군의 3개 밴드 단위로 탐색영역의 데이터를 FBSA 방식에 따라 기준블록과 함께 입력한다. 이때 입력되는 탐색영역 및 기준블록의 데이터는 시간적, 공간적 상관관계를 이용한 디인터레이스드 평균필터를 이용해 재구성된 계층적 영상이다.

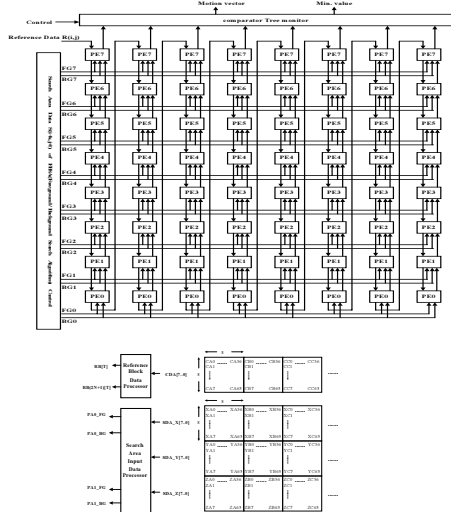


그림 1. 제안된 FBSA 방식에 따른 MEP 구조

제안된 MPAU 처리구조에서는 전역탐색 화소열(FG)과 후역탐색 화소열(BG)로 입력된 후보프레임의 데이터를 기준블록 데이터와 이중연산처리기(dual arithmetic processor element, DAPE)를 통하여 움직임 추정을 함으로써 탐색영역 데이터 계산처리능력을 증가시키고, 소요되는 하드웨어 크기를 1/2로 감소하는 구조적 기능의 향상을 기대할 수 있다.

또한 제안한 구조는 그림 2와 같이 구현 시 다수 개의 프로세서를 직렬연결 하여 탐색영역을 확장할 수 있는 기능을 가지고 있다.

이러한 다중 프로세서는 수평, 수직적으로 최대 16개까지 확장할 수 있으며, 이때의 최대 탐색영역 범위는 각각 $-256/+255(H)$, $-128/+127(V)$ 의 범위 내에서 사용자가 선택적으로 확장할 수 있는 구조이다.

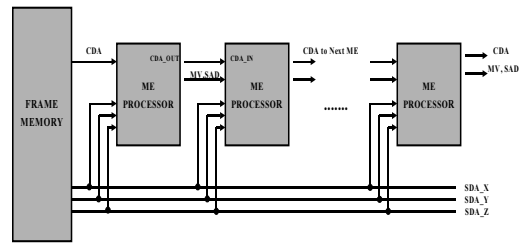


그림 2. 탐색영역확장을 위한 다중 프로세서의 구성

III. 구현

본 논문에서 제안된 움직임 추정 구조의 데이터 입출력 제어는 구현된 블록화소 병렬 파이프라인 처리방식을 통하여 수행하였고, 계산복잡도의 이득은 제안된 PE구조로부터 2배 이상의 연산이득 효과를 얻을 수 있었다. 이의 제안된 움직임 추정기의 연산능력은 약 27GOPS(giga operations per second)으로서 시스템 초기화 이후 매 기준블록 데이터 입력마다 하나의 움직임 벡터와 절대오차합(Sum of Absolute Difference, SAD)을 실시간으로 출력하는 성능을 가지도록 구현하였다.

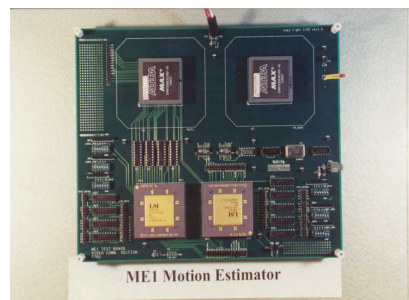


그림 3. 구현된 다중 프로세서의 움직임 추정기 VLSI

<감사의 글>

본 연구결과가 완성되기 까지 함께해주신 전자통신연구원 여러분께 감사를 드립니다.

참고문헌

- [1] Y. K. Ko, H. C. Oh, and S. J. Ko, "VLSI design for motion estimation Based on Bit-plane Matching," KIEE. of signal processing, vol. 38, no. 5, pp. 57-65, Sep. 2001.
- [2] 이강환, 김진웅, 한국전자통신연구원, "움직임 추정기의 탐색 영역 입력 제어 장치," 대한민국 특허, 10-1995-052183.