

DS-CDMA UWB를 위한 6Bit 2.704Gs/s DAC

*정재진, *구자현, **임신일, *김석기
 * 고려대학교 전자컴퓨터공학과 ** 서경대학교 전자공학과
 *E-mail : jjjung@ulsi.korea.ac.kr

6Bit 2.704Gs/s DAC for DS-CDMA UWB

Jae-Jin Jung, Ja-Hyun Koo, Shin-Il Lim, Suki Kim

Abstract

Abstract— This paper presents a design of a 6-bit 2.704Gsamples/s D/A converter (DAC) for DS-CDMA UWB transceivers. The proposed DAC was designed with a current steering segmented 4+2 architecture for high frequency sampling rate. For low glitches, optimized deglitch circuit is adopted for the selection of current sources. The measured integral nonlinearity (INL) is -0.081 LSB and the measured differential nonlinearity (DNL) is -0.065 LSB. The DAC implemented in a 0.13um CMOS technology shows a spurious free dynamic range (SFDR) of 50dB from dc to Nyquist frequency. The prototype DAC consumes 28mW for a Nyquist sinusoidal output signal at a 2.704Gsamples/s. The chip has an active area of 0.76mm²

I. 서론

기존의 통신 시스템에 비해 매우 넓은 대역폭을 사용하는 UWB 시스템은 기존의 유선장치를 무선장치로 대체할 수 있는 유일한 고속 무선 전송기술로서 가정내 멀티미디어 데이터 전송을 위한 근거리 무선 홈 네트워크 기술로 부각되고 있다.

DS-CDMA(Direct spectrum code division multiple access) 방식의 UWB(Ultra Wideband) 시스템을 실 생활에 적용하기 위해서는 높은 주파수 동작과 저전력을 만족하며 CMOS 공정을 이용한 저비용의 칩으로 제작해야 한다. 광역 대역으로 동작하며 높은 샘플링 주파수로 동작하는 송신단을 제작하기 위하여 DAC가 필요하게 되었다.

본 논문은 저전력으로 동작하며 높은 샘플링 주파수로 동작하는 데이터 컨버터를 위한 구조와 아날로그 출력의 여러 가지 옵션으로부터 안정화시키기 위한 설계 기법에 대해서 기술하였다.

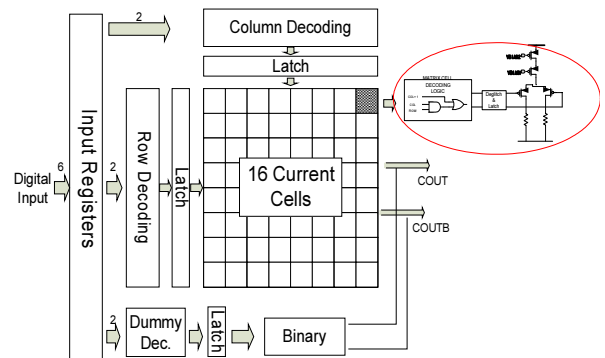


그림 1. 제안된 디지털-아날로그 변환기의 블록도

II. 본론

DS-CDMA UWB용 DAC의 경우는 Sampling Frequency가 2.704Ghz, Output Range가 300mVpp로 Voltage Mode보다는 Current Mode DAC로 설계하는 것이 적당하다.

Current Mode DAC 를 설계할 경우 Current Cell을 Binary 로 구성하는 것과 Unary로 구성하는 것이 있다. Binary 로 구성할 경우 파워소모와 칩 면적, 그리고 회로 복잡도 에서 장점을 가지며, Unary 로 구성할 경우 DNL

과 Glitch, 그리고 단조증가성의 특성이 좋은 장점이 있다. 두 경우의 장점을 모두 사용하기 위하여 상위 4 Bit은 Unary로 구성하고, 하위 2 Bit은 Binary로 구성하는 Segmented Architecture를 사용하였다. 이러한 4+2 분할 구조를 사용함으로써 전류 원이 차지하는 면적과 Thermometer decoder 부분의 논리회로를 가장 최적화시켜 회로의 복잡성과 칩 사이즈를 줄이고, 낮은 Glitch 특성을 갖는 저전력 DAC를 구현할 수 있었다.

6Bit을 상위 3 Bit은 Unary로 구성하고, 하위 3 Bit은 Binary로 구성하기 위해서는 3 Bit to 8 Bit의 Decoder 로직이 필요하다. 3+3 구조로 회로를 구성하는 경우 전체적으로 회로 복잡도를 줄일 수 있었다. 하지만 3 Bit to 8 Bit의 Decoder 로직에서는 3 Input NAND 또는 NOR 회로가 필요하다. 3 Input NAND 또는 NOR 회로의 경우 2.7G/s의 Clock으로 동작시킬 경우 입력 값에 따른 Delay 차이로 인하여 원하는 동작을 얻을 수가 없었다. 따라서 2.7G/s의 Clock에서의 동작과 전체적인 회로 복잡도를 동시에 만족할 수 있는 구조로 그림 1에서 표현된 것과 같이 4+2의 Segmented Architecture를 사용하였다.

III. 구현

제안하는 DAC의 구조에서 MSB 4bit과 LSB 2bit 모두 선형성과 낮은 Glitch 특성을 가지기 위해 Full Matrix 구조에서 상위블록과 하위블록간의 Current cell에 각각 흐르는 전류의 비는 1:4이다. 이를 위하여 Current Bias 회로에서 Mirroring 하여 하위 2bit Current cell에 기본 전류가 흐르도록 한 뒤 이를 기준으로 상위 4bit의 Current cell에는 정확히 4배의 전류가 흐르도록 x1 Current cell의 PMOS Width를 4배로 가져가면 간단히 Current cell을 완성할 수 있다. 하지만 무조건 PMOS Width만 4배로 가져가면 그만큼 그 사이에 여러 Parasitic Capacitance 성분이 생기기 때문에 시뮬레이션 결과 값은 달리 실제 DAC 동작에선 계산된 4배의 전류가 흐르지 않게 된다. 따라서 x1의 Current Cell을 설계하고 이 기본 Cell을 4개 병렬로 나열하는 방식으로 x4의 Current Cell을 설계하였고, 실제 Layout에서도 같은 방법을 이용하였다.

PMOS Switch를 설계할 때도 x1 Cell과 x4 Cell의 차이를 고려하였다. 두 Cell에서 전류가 흘러나올 때 같은 Cap.을 가질 수 있도록 사이즈를 조절하여 Current Cell간의 Settling time이 동일하지 않게 되어 Glitch의 원인이 되지 않도록 하였다.

Glitch를 개선하기 위하여 전류원을 켜주기 위하여 Latch를 사용하면서 전류원 스위치를 동시에 꺼지지 않

도록 Latch의 출력 값의 Rising time과 Falling time을 조절하는 회로를 설계하였다.

IV. 결론

고주파수의 특성상 아날로그 부분과 디지털 부분은 완전히 분리되어야 한다. 고속의 특성상 패드의 구현에 주의를 요하였고, 부하를 줄이기 위해 보드의 크기를 최소화해야 한다. 아날로그 변환기의 Digital Source를 텍트로닉스사의 DTG5334를 이용하여 2.7GHz/sec 이상의 Digital Input 값을 얻을 수 있게 하였다.

측정된 결과 값으로 DNL 0.01 LSB와 INL 0.01 LSB를 이하로 얻을 수 있었다. TSMC 0.13um 공정을 사용하였으며 2.704 Gsample/s에서 28mW의 전력을 소비하였다.

Table I. Specification

Process	TSMC 0.13um CMOS
Resolution	6 bit
Conversion Rate	2.704 GS/s
Supply voltage	1.2V
INL	0.065 LSB
DNL	0.081 LSB
Power dissipation (at Fout=1.3Gs/s)	28 mW
SFDR	50 dB
Output impedance	50Ω
Differential output analog voltage	300mVpp (150mVpp for single ended)

참고문헌

- [1] Anne Van Den Bosch, Marc A. F. Borremans, Michel S. J. Steyert, Willy Sansen "A 10-bit 1-Gsample/s Nyquist Current-Steering CMOS D/A Converter"
- [2] C. H. Lin and K. Bult, "A 10-bit 500Msample/s CMOS DAC in 0.6mm²"
- [3] Rudy van de Plassche "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters"