

## 5GHz CMOS Quadrature Up-Conversion Mixer

이 장 우, 김 신 녕, 유 창 식

\*Integrated Circuits Lab, ECE, Hanyang University, Seoul 133-791, Korea  
jjangi@ihanyang.ac.kr

### Abstract

A CMOS quadrature Up-converter for a direct-conversion receiver of 5.15-5.825GHz wireless LAN is described. The Up-converter consists of two sub-harmonic mixers, for I and Q channels, and an LO generation network. In order to decrease the number of inductor, I and Q path are merged. The simulation results including all the parasitics show -17.3dB conversion gain at center and -8 dBv oIP3 while consuming 22.968mW under 1.8V supply. The quadrature Up-converter is under fabrication with the other transmitter blocks in a 0.18μm CMOS technology.

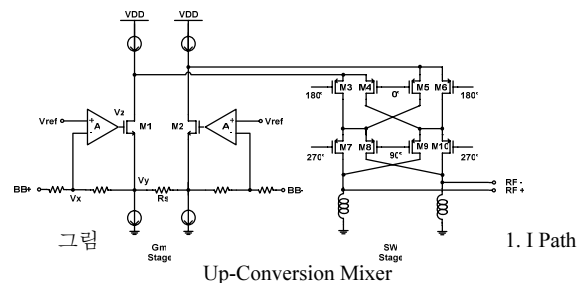
### I. 서론

최근 무선 통신 시스템에 대한 시장의 요구가 증가함에 따라 저 가격, 저 전력 소모, 고 집적화에 대한 연구가 활발히 진행되고 있다. 여러 무선 통신 시스템 중 무선 LAN(Local Area Network)은 편리한 이동성과 고속 통신의 용이성을 바탕으로 무선 통신 시장의 다양한 응용 분야로 빠르게 확산되고 있다. 그 중 더 높은 data rate와 대역폭의 요구에 따라 802.11a 표준에 대한 연구가 최근 활발히 진행되고 있다. 본 논문에서는 5.15GHz~5.825GHz 대역의 무선 LAN/MAN을 동시에 만족하는 CMOS Quadrature Direct Conversion 상향 변환기를 설계 하였다.

### II. 본론

802.11a 표준은 OFDM(Orthogonal Frequency Division Multiplexing) 변조방식에 근간을 두고 6~54Mb/s의 data rate를 제공한다. 16.8MHz의 Channel Bandwidth와 Double side Band noise Figure를 가지고 있다. Direct Up-Conversion Mixer 설계의 주안점은 VGA의 여러 step의 출력 전압을 선형 하게 주파수 변조를 수행하며 Channel Bandwidth 내에서의 Gain Flatness와 큰 VCO의 신호에 의한 LO Pulling 현상을 제거하여 주는 야에 있다. 본 논문에서는 저 전압 동작을 위하여 Folded cascade 구조를 이용하였으며 직접 변환 방식에서 발생하는 LO Pulling 현상을 제거 하여 주고 Inductor의 Q값을 높여 Conversion Gain을 확보하기 위하여 Stacking sub-harmonic 구조를 사용하였으며 Band 내에서의 Gain

flatness는 Inductor의 Q 값을 조절하여 맞추어 주었다. 또한 Inductor의 Size를 줄이기 위하여 I와 Q Path에 대하여 동일한 Inductor를 사용하였다. Up Mixer Loading 단의 Inductor는 Pre-Power amplifier 의 Gm stage의 MOS Cap. 에 Mixer Switching 단의 MOS cap. 들을 모두 공진 시켜주어 Imaginary 성분들을 제거하여 준다. VGA의 출력 변화에 따른 일정한 Gm 을 유지 시켜주기 위한 방법으로는 OTA의 Feedback 기법을 차용하여 Gain Boosting 회로를 구성 하고 Degeneration 저항을 사용하여 전 범위에 대하여 동일한 Gm값을 유지 선형성을 확보 하였다. 또한 설계 시 Gm의 값은 Switching 단에 흐를 전류의 양을 고려하여 Conversion Gain과 Switching 동작 사이의 trade-off가 이루어 져야 한다. Gm의 값은 Degeneration 저항 Rs 의 값을 조절하여 맞추어 준다. 위에서 제안 되어진 회로는 밑의 그림 1. 에 나타내었다.



$$V_x = \frac{V_{in} - V_y}{2}$$

$$V_z = -A * V_x$$

$$V_y = G_{m, eff} * V_z * 2R_s$$

$$V_x = \frac{1}{1 - A * G_{m, eff} * R_s} V_{in} \cong -\frac{1}{A * G_{m, eff} * R_s} V_{in}$$

$$i_d \cong \frac{1}{R_s} V_{in}$$

### III. 실험 결과

	Post Simulation Result
LO Freq. [GHz]	5.15 ~ 5.825
Conversion Gain [dB]	-17.3 ~ -19.6
OP1dB [dBv]	-22.645
OIP3 [dBv]	-8
Output referred noise [ nV/sqrt(Hz)]	8.48
Vdd / Idd [V/mA]	1.8/12.76

표 1. Post Simulation Result

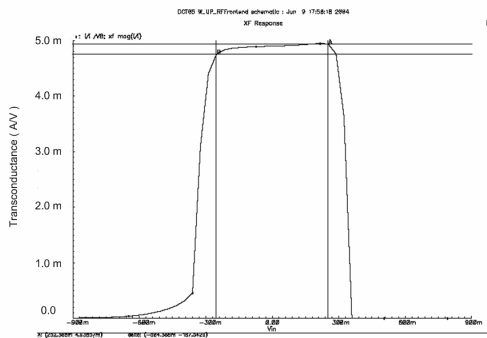


그림 2. Constant Transconductance

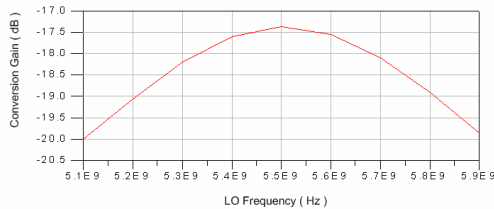


그림 3. Band 내에서의 Conversion Gain 변화

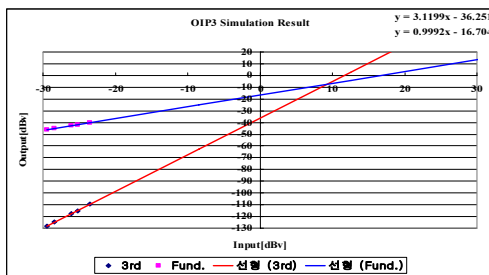


그림4. OIP3 Simulation Result

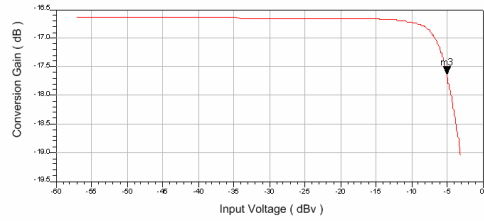


그림5. OP1dB Simulation Result

### IV. 결론 및 향후 연구 방향

본 논문에서는 5.15GHz~5.825GHz 대역의 무선 LAN/MAN을 동시에 만족하는 CMOS Quadrature Direct Conversion 상향 변환기를 제안 하였다. 향후 과제로는 저 전력 소비 내에서 좀더 선형 하면서 높은 Conversion Gain을 갖도록 구현 되어야 할 것이다.

### ACKNOWLEDGMENTS

A part of this work was supported by the Center for Advanced Transceiver Systems (CATS), Seoul National University and the HY-SDR Research Center at Hanyang University, Seoul, Korea under the ITRC Program of MIC, Korea. The CAD tools were supported by IDEC.

### References

- [1] A 20-mA-Receive, 55-mA-Transmit, Single-Chip GSM Transceiver in 0.25- um CMOS, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 12, DECEMBER 1999
- [2] 5-GHz CMOS UP-CONVERSION MIXER, 2003 Asia-Pacific Microwave Conference
- [3] A 5-GHz Direct-Conversion CMOS Transceiver, IEEE Journal of solid-state circuits, VOL. 38, NO 12. December 2003