

RFIC 설계를 위한 70nm CMOS 의 BSIM4 매크로 모델링

최길복*, 백록현, 강희성**, 정윤하
 포항공과대학교 전자전기공학과

70nm CMOS BSIM4 Macro modeling for RFIC design

Gil-Bok Choi*, Rock-Hyun Baek, Hee-Sung Kang**, and Yoon-Ha Jeong

*Department of Electronic and Electrical Engineering

Pohang University of Science and Technology

**System LSI Division, Samsung Electronics Co., Ltd.

E-mail: *track@postech.ac.kr

Abstract

In this paper, BSIM4's IIR(Intrinsic Input Resistance) model that has a difficulty to predict Z_{11} exactly is investigated by analyzing S-parameter measurement. Then a BSIM4 macro model for 70nm RF MOSFETs is proposed. That model uses external effective gate resistance which is composed of R and parallel RC. Comparison between simulation results using proposed model and IIR model is shown. The proposed model shows a better agreement between measured and simulated results up to 20GHz.

I. 서론

MOSFET을 이용한 RF 회로 설계 시 입력 임피던스는 입력 매칭을 위해 중요하며, 게이트 저항은 입력 임피던스를 결정하는 중요한 파라미터이다. 게이트 저항과 관련된 논문들이 이미 많이 발표되었고 [1], [2], BSIM4에도 IIR(Intrinsic-Input Resistance) 모델로써 포함되어 있다 [3]. 그러나 BSIM4가 제공하는 게이트 저항 모델은 70nm RF CMOS의 Z_{11} 을 정확히 예측하지 못하는 문제점을 보였다. 이러한 문제를 해결하기 위하여 여러 논문에서 게이트 단에 병렬로 저항과 캐패시터를 추가한 방법이 제시되고 있다 [4], [5]. 그러나 이는 소신호 등가회로를 이용한 것으로, intrinsic 파라미터들을 바이어스가 바뀔 때마다 추출해야 하는 단점이 있다. 따라서 본 논문에서는 바이어스에 따른 intrinsic 파라미터를 추출할 필요가 없는 BSIM4 core의 게이트 단에 병렬로

저항과 캐패시터를 추가한 모델을 제안하였다. 그 결과 IIR모드를 이용하였을 경우(RGATEMOD =2)의 전산모사 결과와 비교하여 보다 향상된 결과를 얻었다.

II. 본론

모델링한 소자는 게이트 길이 70nm, 핑거당 게이트 너비 $5\mu\text{m}$, 핑거수 32개인 다중 게이트 공통 소오스/벨크 RF nMOSFET이다. 소자 분석을 위해 100MHz에서 20.1GHz까지 S 파라미터를 측정하였고, open-short의 2-step방식을 이용하여 deembedding 하였다.

본 논문에서 제안한 RF 모델은 그림 1과 같다. R_{gc} 는 게이트 contact저항, R_g 는 게이트 저항, C_g 는 게이트 캐패시턴스이다.

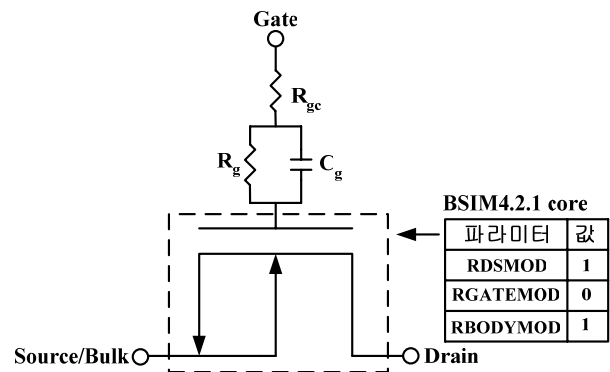


그림 1. 제안된 70nm CMOS RF 모델.

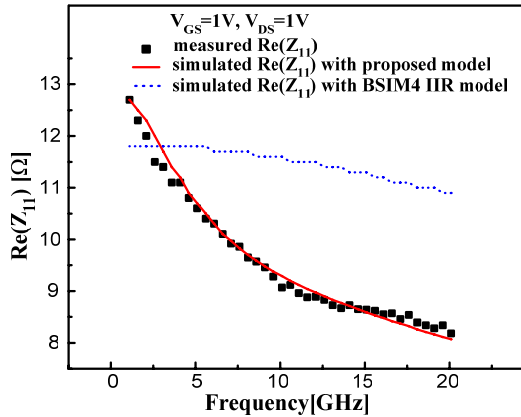


그림 2. 측정된 Z_{11} 의 실수부와 제안된 모델과 BSIM4 IIR 모델의 전산모사 결과 비교.

그림 1의 파라미터 값은 전산모사 모드 설정을 위한 것이다. RDSMOD와 RBODYMOD의 값이 1인 것은 게이트 저항 이외의 extrinsic 성분인 소오스/드레인 저항과 기판저항이 core 내부에 포함되어 있음을 의미한다.

그림 2에서 알 수 있듯이 BSIM4의 IIR 모델로 전산모사하였을 경우에 Z_{11} 의 실수부가 측정치와 상당한 오차가 있다. 이는 IIR 모델만으로는 NQS(Non-Quasi Static) 영향을 정확하게 모델링하지 못한다는 것이다. 반면, 제안한 모델의 경우 측정치와 잘 일치하고 있다. 제안한 모델의 각 파라미터 값은 Z 파라미터를 curve fitting하여 추출되었으며 그 값들은 $R_{gc}=4.4\Omega$, $R_g=4.5\Omega$, $C_g=5.3pF$ 이었다.

그림 3은 $V_{GS}=1V$, $V_{DS}=1V$ 에서 100MHz부터 20.1GHz까지의 S 파라미터 측정값을 제안된 모델의 전산모사 값, BSIM4 IIR 모델의 전산모사 값과 비교한 것이다. 드레인과 기판 사이의 접합 캐패시턴스와 기판 저항에 대부분의 영향을 받는 S_{22} 를 제외하고 제안한 모델이 좀더 정확히 측정값과 일치하고 있으며, 특히 게이트 저항의 영향이 많이 나타나는 S_{11} 의 경우에 오차가 매우 개선된 것을 확인할 수 있다.

III. 결론

본 논문에서는 BSIM4 IIR 모델의 문제점을 지적하고 새로운 게이트 저항 모델을 제안하여 70nm RF nMOSFET을 모델링하였다. 제안한 모델과 IIR 모델의 전산모사 결과의 비교를 통해 제안한 모델의 전산모사 결과가 측정치와 더 잘 일치하는 것을 확인하였다.

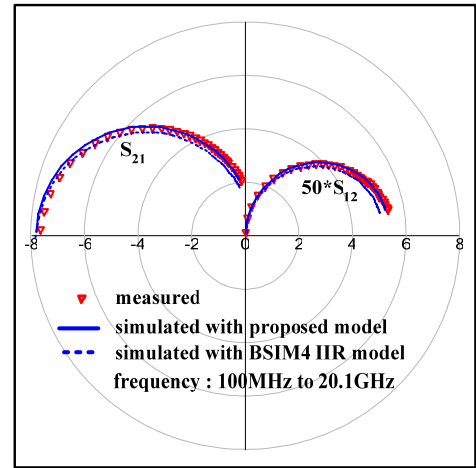
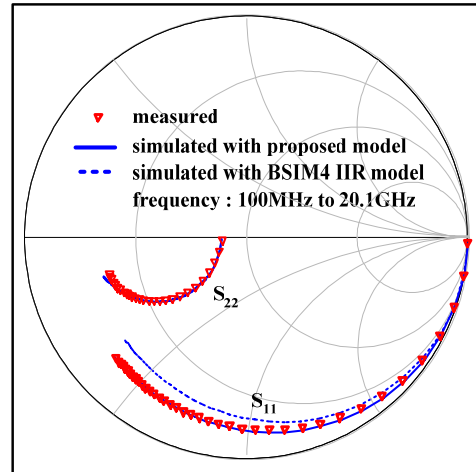


그림 3. 측정된 S 파라미터와 제안된 모델과 BSIM4 IIR 모델의 전산모사 결과 비교.

참고문헌

- [1] Y. Cheng, et al., IEEE Electron Device Lett., vol. 22, pp. 98-100, Feb. 2001.
- [2] H. W. Lin, et al., IEEE Conference on Microelectronic test structures, vol. 17, Mar. 2004.
- [3] BSIM4.2.1 User's manual.
- [4] S. F. Tin., et al., IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol. 17, pp. 372-374, Apr. 1998.
- [5] R. Torres-Torres, et al., ESSDERC '03. 33rd Conference on, pp. 295 – 298, Sep. 2003.