

CMOS Logic divider 와 위상 스위칭 듀얼 모듈러스 프리스케일러를 이용한 14-mW 5GHz대역의 주파수 합성기 설계

김명수, 박타준

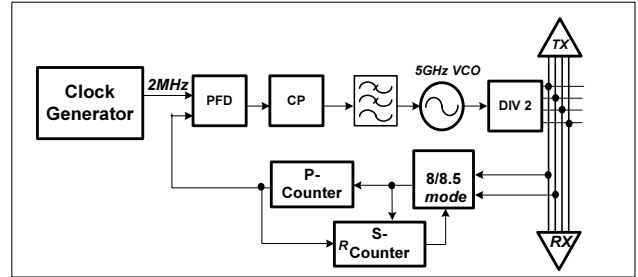
삼성전기 (myeungsu.kim@samsung.com)

1. 서론

최근 무선통신 시스템분야에서 저전력 시스템의 중요성이 부각되고 있다. 이는 건전지의 수명과 관련이 있기 때문이다. 저전력 무선 라디오의 전력의 대부분은 주파수 합성기에서 소비한다. 주파수 합성기에서 높은 주파수에서 동작하는 VCO(Voltage Controlled Oscillator)와 Prescaler 가 전체 전류소모의 50%이상을 차지한다. 특히 저전력 Prescaler를 설계하는 것이 쉽지 않다. 높은 주파수동작을 위해서 일반적으로 SCL(Source-coupled logic)구조를 사용하지만 잡음, 전력소모측면에서 단점을 가지고 있다. 따라서, 최근에 CMOS Logic을 이용한 논문들이 발표되고 있지만 rail-to-rail 입력 신호를 위해서 추가적인 버퍼가 필요한 문제점을 가지고 있다. 따라서 본 논문에서는 입력 신호크기에 따라서 자동으로 바이어스를 조절하는 회로를 가진 CMOS logic divider와 전력 소모를 줄이기 위해서 위상 스위치 구조를 이용한 Prescaler를 가진 저전력 주파수합성기를 소개하려고 한다.

2. 시스템 구현

Integer-N 구조의 주파수합성기의 구성은 그림 1과 같다. 동상과 직각 위상 신호를 만들기 위해서 캐리어 주파수의 2배인 VCO는 차동 인덕터로 구현되었다. 4bit-capacitor array가 주파수 튜닝을 위해서 사용되었다. 2차 내장 loop filter는 3bit capacitor로 조절이 가능하다. 듀얼 모듈러스 프리스케일러(8/8.5)가 사용되었다. 출력 주파수 범위는 2.37GHz 에서 2.66GHz이다. 그리고 각각 블록에는 바이어스 전류를 조절하기 위한 3bit 디지털 신호가 사용 되었다. 기존의 SCL 나누기의 단점을 극복하기 위해서 그림 2와 같이 CMOS logic 나누기 2를 제안했다. 이것은 sub-threshold 바이어스에서 동작



하기 때문에 전력 소모가 작다. 그리고 저항 귀

그림 1 합성기 구조

환 인버터를 사용하여 높은 주파수 제약을 극복했다. 이 회로에서는 입력 신호의 크기 변화에 나누기의 동작 범위 변화를 극복하기 위해서 그림2와 같이 자동 바이어스 조절회로를 사용했다. 동작 원리는 VCO출력을 감지해서 그림 2의 바이어스 회로의 M1의 바디 전압으로 사용한다. 감지기는 VCO의 최저 전압을 감지하기 위한 NMOS와 그 전압을 저장하기 위한 capacitor로 구성되어 있다. VCO 출력이 작아지면 커패시터에 저장되는 전압이 커져서 그림 2의 M1의 문턱 전압이 내려간다. M2-5의 바이어스 전압도 내려가게 된다. 따라서 나누기의 스위치 동작이 정상적으로 이루어진다. 즉, VCO의 출력이 작아도 ($V_{pp} < 0.6V$) 제안된 나누기는 안정적으로 동작을 한다. 부수적으로 VCO의 전력도 줄일 수 있다.

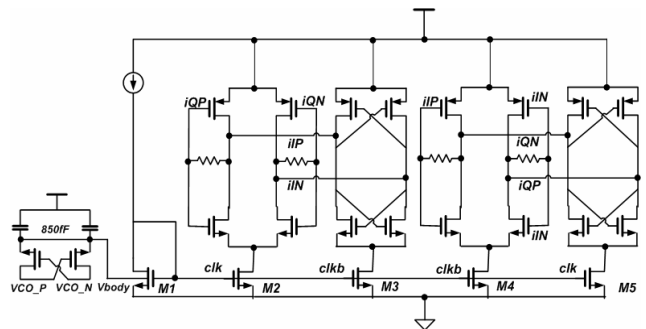


그림 2 나누기 2 회로

그림 3은 enhanced glitch-free phase switching prescaler이다. 4개의 FF(Flip-Flops)으로 구성된 나누기 4회로는 스위치 동작의 강건성을 높이기 위해서 사용되었다. 각 FF은 전력을 줄이기 위해서 CMOS logic으로 구현하였다. 그림 3처럼 링 발진기와 비슷하게 동작하여 보편적인 phase switching과 달리 오직 한가지 패턴의 8개 위상의 신호를 만들어 낸다. 따라서 스위칭 패턴의 방향의 감지하기 위한 감지기나 retimer와 같은 추가적인 회로가 필요없게 된다.

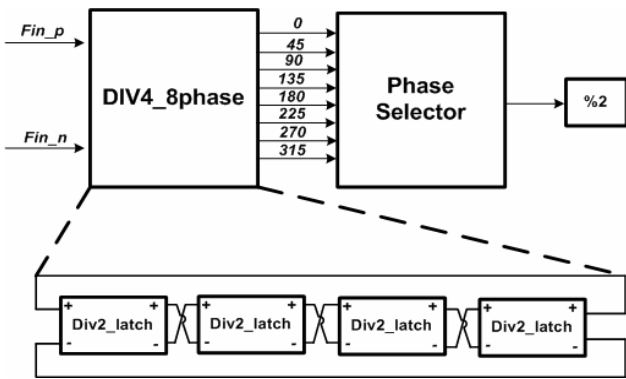


그림 3 제안된 phase-switching prescaler

3. 실험 결과

그림 4는 전체 송수신기 블록에서 PLL블록의 micro-photograph이다. PLL블록의 면적은 0.67mm²이고 전체 면적의 24%를 차지한다. VCO와 나누기 2회로의 전류소모는 각각 2mA, 2.5mA이다. 다른 블록의 전류소모는 3.5mA이다. 위상 잡음은 -103dBc @ 1MHz이다. PLL의 주파수 튜닝 범위는 11%이다. RX/TX turn-around 시간은 30us이다. 제안된 주파수 합성기의 측정된 성능은 table I에 요약되어 있다.

4. 결론

나누기 2회로와 phase switching prescaler가 전력소모를 줄이고 합성기의 강건한 성능을 위해서 제안되었다. 전체 PLL 전력 소모는 1.8V기준으로 14mW이다. 위상 잡음은 -103dBc @ 1MHz이고 튜닝 범위는 11%이고 전체 면적은 0.67mm²이다.

참조 문헌

- [1] A. Ravi, et al., "10 GHz, 20mW, fast locking, adaptive gain PLLs with on-chip frequency calibration for agile frequency synthesizer in a.18um digital CMOS process," VLSI circuits,2003. Digest of Technical Papers.2003 Symposium on 12-14, pp. 181-184, June 2003.
- [2] Sher Jiun Fang, et al., "An Image-Rejection Down-Converter for Low-IF Receivers," IEEE Trans. Microwave Theory & Tech., vol. 53, no.2, pp. 478-487, February 2005.
- [3] J. Craninckx, and M. S. J. Steyaert, "A 1.75-GHz-3-V dual-modulus divide-by-138-129 prescaler in 0.7-um CMOS," IEEE J. of Solid-state Circuits, vol. 31, no. 7, pp. 980-997, July 1996.
- [4] N. Krishnapura and P. R. Kinget, "A 5.3-GHz programmable divider for HiperLAN in 0.25-um CMOS," IEEE J. Solid-State Circuits, vol. 35, no. 7, pp. 1019-1024, July 2000
- [5] Joonho Gil, Minkyu Je, Jongho Lee, Hyungcheol Shin, "A high speed and low power SOI inverter using active body-bias," Low Power Electronics and Design, 1998 Proceedings 1998 International Symposium on 10-12, pp. 59-63, August 1998.
- [6] Gerry C. T. Leung, Howard C. Luong, "A 1-V 5.2-GHz CMOS Synthesizer for WLAN Applications," IEEE J. Solid-State Circuits, vol. 39, no. 11, pp. 1873-1882, November 2004.
- [7] Keliu Shu, et al., "A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," Low Power Electronics and Design, 1998 Proceedings 1998 International Symposium on 10-12, pp. 59-63, August 1998

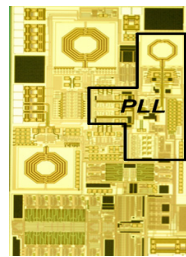


그림 4 Micro-photograph

Table I 주파수합성기 성능비교

| | [6] | [1] | [7] | This Work |
|-------------------------|------|------|------|-----------|
| Supply Voltage[V] | 1 | 1.6 | 1.5 | 1.8 |
| Current Consumption[mA] | 27.5 | 12.5 | 10.6 | 8 |
| Center frequency[MHZ] | 5200 | 1000 | 2400 | 5000 |
| Tuning Range[%] | 10 | 10 | 9.4 | 11 |
| Phase noise[dBc/Hz] | -136 | -130 | -128 | -103 |
| aFOM | -169 | -150 | -163 | -165 |
| bFOM | -169 | -150 | -163 | -166 |