

# MB-OFDM UWB System용 Fast Setting PLL 개발

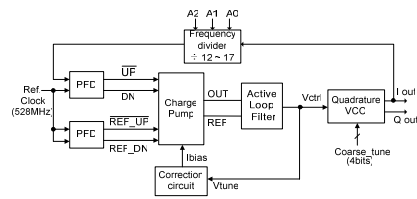
이영재\*, 현석봉\*, 탁금영\*\*, 김천수\*, 유현규\*  
 \*한국전자통신연구원 IT 융합부품연구소 SoC 연구개발 그룹  
 \*\* LG 전자 기술원

## Development of the fast setting PLL for MB-OFDM UWB system

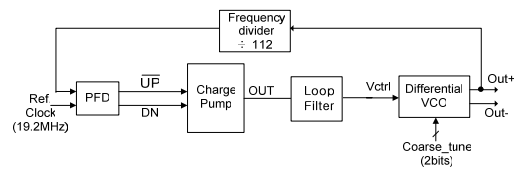
Youngjae Lee\*, Seokbong Hyun\*\*, Geumyoung Tak, Cheonsoo Kim and Hyunkyu Yu  
 IT Conversion and Components Laboratory, SoC R&D Group  
 Electronics and Telecommunications Research Institute  
 E-mail : \*lyj4295@etri.re.kr, \*\*sbhyun@etri.re.kr

### Abstract

A CMOS phase-locked loop (PLL) which synthesizes frequencies between 6.336~8.976GHz in steps of 528MHz and settles in approximately 150ns using the 528MHz reference clock is presented. Frequency hopping between the bands in the each mode is critical point to design the PLL in multi-band orthogonal frequency division multiplexing (OFDM) because frequency switching between each band is less than 9.5ns. To achieve the fast loop settling, integer-N PLL that operates with the high reference frequency to meet the settling requirement is implemented. Two PLLs that operate at 9GHz and 528MHz is integrated and shows the band hopping lower than 1ns.



(a) 9GHz PLL block diagram



(b) 528MHz PLL block diagram

그림 1. PLL 구조

### I. 서론

MB-OFDM (Multi-band orthogonal frequency division multiplexing) 시스템은 짧은 거리의 통신에서 대용량의 데이터를 전송하기 위해 3.1GHz~10.6GHz의 주파수 영역을 사용하고 있다. [1] 규약에 있는 여러 종류의 모드중 모드 1은 3.1~4.8GHz의 주파수 범위에서 3개의 밴드를 사용하고 있으며 캐리어 주파수사이의 주파수 스위칭은 9.5ns의 가드 인터벌안에 완료되어야 하는 고속 스위칭 기능이 요구된다. 이를 만족하기 위해 2개의 PLL과 SSB mixer를 이용한 1ns의 fast-hopping generator

가 발표되었으며 [2] 여러 밴드그룹을 모두 만족할 수 있으면서 고속 스위칭 동작이 가능한 주파수 합성기가 3개의 PLL과 mux을 이용하여 설계되었다. 그러나 이러한 경우 큰 면적과 높은 전력 손실이 요구된다.

본 논문은 6.336~8.976GHz의 주파수 영역에서 6개의 캐리어 주파수를 생성하는 CMOS PLL에서 기준 주파수를 만들어 내는 528MHz의 PLL을 내장하여 528MHz의 단계별로 12us의 setting 시간을 가지면서 스위칭하는 9GHz PLL을 설계하였다. [3]

### II. 본론

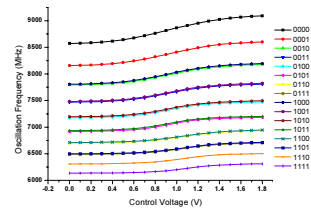
그림 1 은 9GHz 와 528MHz PLL 의 블락다이어그램이다. 기본적인 구성은 integer-N PLL 구조로 주파수를 발생하는 cross-coupled quadrature VCO (Voltage Controlled Oscillator), 프로그램되는 주파수 체배기, 위상 주파수 비교기와 루프 필터등으로 구성되어 있다. 9GHz PLL 의 경우 최종 출력 주파수는 주파수 체배기의 비율에 의해 결정이 된다. 체배 비율은 12 에서 17 까지의 정수값으로 6.336~8.979Ghz 중 6 개의 캐리어 주파수를 생성하여 밴드 그룹 1,2 를 커버한다. 2 개의 PFD 을 이용하여 charge pump 는 replica bias 회로를 이용하여 mismatch 을 감소하였다. 528Mhz PLL 은 TCXO 19.2Mhz 을 2 로 나눈 9.6Mhz 을 기준 클락으로 사용하며 발진 주파수는 차동 구조의 LC-VCO 에서 출력되는 1056Mhz 을 2 로 나눈 주파수를 이용한다. LC-VCO 는 967~1145Mhz 영역에서 동작하고 락인 시간이 12us 이다. 온도 변화와 공정변화에 따른 보상을 하기위해 디지털 제어 비트를 추가하였다. Phase noise 는 캐리어 주파수 1056Mhz 에서 1Mhz offset 의 경우 -112dBc/Hz 이다. PFD 는 AND gate 와 set/reset 기능을 가지는 2 개의 DFF 로 구성되어 있다. Charge pump 는 mismatch 을 줄이기위해 cascade 구조를 이용하였으며 스위칭용 트랜지스터는 각각 Vdd 와 ground 에 연결되어 UP 과 DN switch 의 스위칭 잡음을 줄였다.

### III. 실험 결과

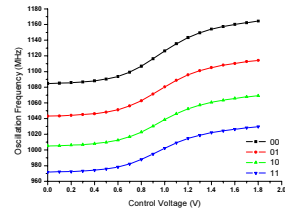
그림 2 는 9Ghz quadrature VCO 와 1Ghz 차동 VCO 의 발진주파수를 측정된 결과이다. 공정변화에 따른 발진주파수 변화를 예측하여 원하는 주파수 영역보다 넓게 주파수 범위를 설계하기위해 capacitor array 를 병렬로 연결하여 넓은 주파수 튜닝 범위를 가지도록 하였다. 그림 3 은 측정된 칩의 사진을 보여주고 있다. 9Ghz PLL 과 528Mhz PLL 은 전체 회로의 일부로서 포함되어 있으면서 각각 개별 블락으로 측정이 가능하다. 측정된 528Mhz PLL 의 phase noise 는 -114dBc@1Mhz offset 이며 9Ghz PLL 의 락인 시간은 150ns 이며 주파수 호핑 시간은 1ns 이다.

### IV. 결론

본 논문에서는 150ns 의 스위칭 시간을 가지며 밴드 호핑이 디바이더의 체배 비율에 의해 조정이 가능한 9Ghz PLL 을 보여주고 있다. 이러한 빠른 스위칭 시간



(a) 9Ghz quadrature VCO



(b) 1Ghz differential VCO

그림 2. VCO 발진 주파수 plot

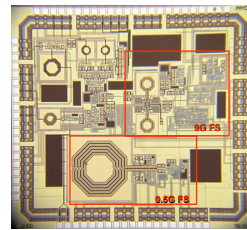


그림 3. 칩사진

을 가지기 위해서는 높은 기준 클락이 필요하며 이러한 클락은 내부의 528Mhz PLL 을 이용하여 제공한다. 0.18um CMOS 공정을 이용하여 6.336~8.976Ghz 에서 6 개의 캐리어 주파수를 생성하여 UWB 밴드의 밴드그룹 1,2 을 지원하고 있다.

### 참고문헌

[1] A. Batra, J. Balakrishnam, G. R. Foerster, and A. Dabak, "Design of A Multiband OFDM System for Realistic UWB Channel Environments", IEEE Trans. Microwave Theory Tech., vol. 52, no. 9, pp. 2123-2138, Sep. 2004

[2] D. Leenaerts, R. van de Beek, G. van der Weide, J. Bergervoet, K.S. Harish, H. Waite, Y. Zhang, C. Razzell and R. Roovers,"A SiGe BiCMOS 1ns Fast Hopping Frequency Synthesizer for UWB Radio", ISSCC 2005, pp. 202-203, Feb. 2005

[3] Geum-Young Tak, Seok-Bong Hyun, Tae-Young Kang, Byoung Gun Choi and Seong-Su Park, "A 6.3-9GHz CMOS Fast Settling PLL for MB-OFDM UWB Applications", IEEE J. Solid-state circuits, Vol. 40, no. 8, Aug. 2005