

Duty Cycle 조정이 가능한 새로운 저전력 시스템 CMOS Voltage-Controlled Oscillator 설계

*조 원, 이성철, 문 규
 한림대학교 반도체 설계 연구실
 e-mail : gmoon@hallym.ac.kr

New Design of Duty Cycle Controllable CMOS Voltage-Controlled Oscillator for Low Power Systems

*Won Cho, Sung-chul Lee, and Gyu Moon
 VLSI Design Lab., Dept. of Electronic Engineering,
 Hallym University

Abstract

Voltage Controlled Oscillator(VCO) plays an important role in today's communication systems. Especially, a Clock Generator(CG) in phase-locked loop(PLL) is usually realized by the VCO. This paper proposes a new VCO with a controllable duty cycle buffer, that can be adopted in low-power high-speed communication systems. Delay cell of the VCO is implemented with gilbert cell. Frequency dynamic range of the VCO is in the range of approximately 50MHz ~ 500MHz. Parameters with N-well CMOS 0.18-um process with 1.8V supply voltage was used for the simulations.

I. 서론

오늘날의 통신 시스템과 데이터 프로세서 시스템들은 고속 CG를 요구하고 있다. 특히 PLL을 CG로 사용하는 시스템 중 Analog to Digital Converter나 Double Data Rate SDRAM과 같은 응용 분야에서는 clock의 rising과 falling edge를 모두 이용하므로 50%의 정밀한 duty cycle을 요구한다.

이에 따라 PLL 출력의 50% duty cycle을 보장하기 위해 Duty Cycle Correction(DCC) 회로가 요구된다[1]. 반대로 프로세서의 요구에 따라 특정 clock duty cycle

을 요구하는 경우에는 Pulse Width Modulation(PWM)을 사용하는 것이 일반적이다. 그러나 부가 회로의 사용은 System on a Chip처럼 낮은 소모 전력을 요구하는 경우 전력 효율을 낮추고 불필요한 잡음원을 생성하는 원인이 된다.

본 논문은 PLL 사용에 있어 부가회로를 억제하여 전력 소모와 잡음원을 줄이고 동시에 VCO 자체로 PWM 기능을 대체하는 새로운 설계를 제안한다. 제안된 VCO는 clock duty cycle 조정이 가능하며 필요에 따라 50%의 clock duty cycle을 제공한다.

II. 회로설계

2.1 Gilbert cell을 사용한 VCO

그림 1.은 제안된 VCO의 지연소자인 gilbert cell 지연소자이다. 제안된 지연소자는 PMOS 대칭 부하를 공유하는 두 개의 증폭기로 구성되며 pull-down 속도를

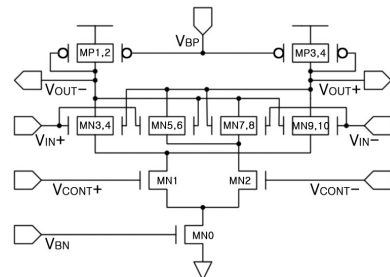


그림 1. Gilbert cell 지연소자

높이기 위한 음성 케환(feedback)을 갖는다. 조정 입력인 Vcont+와 Vcont-는 MN0로부터 MN1, MN2로 흐르는 drain 노드 각각의 전류량을 조정한다.

VCO의 각 주파수 출력 swing의 중심 전압은 Vin+와 Vin-가 동일한 common mode 입력의 응답으로 볼 수 있다. Common mode 입력이 인가될 경우 Vcont+와 Vcont- 변화에 따른 출력 전압은 각 주파수에서의 출력 swing의 중심 전압으로 볼 수 있다. Vout+ 노드를 중심으로 MN10, 1, 2, 5로 이루어진 전류 노드와 Vout-를 중심으로 MN3, 1, 2, 8로 이루어진 노드를 보면, common mode에서 MN1과 MN2의 gate 전압 변화에 따른 두 경로의 직류 전류 합이 일정하다. 그러므로 이 경우 지연소자의 출력은 일정한 전압을 갖는다. 단지, trans-conductance는 변한다. MN1의 gate 전압이 접지로부터 증가하며 MN2의 gate 전압이 공급전압으로 최대라고 가정하면, MN1의 gate 전압 증가는 MN2의 전류량을 감소시킨다. 따라서 이를 지연소자로 사용한 VCO의 출력 swing 전압은 Vbp와 Vbn에 의해 결정된 출력 전압을 기준하여 peak-to-peak만 점차 감소한다. 이는 기존의 지연소자들을 사용한 VCO가 주파수 조정 입력에 따라 출력 중심 전압 변화가 심해지고 이에 따라 duty cycle 변동에 크게 영향을 미치는 데 비해 높은 안정성을 얻을 수 있다.

2.2 Duty cycle 조정이 가능한 VCO 출력 버퍼

그림 2.는 duty cycle 조정을 위한 VCO 버퍼 구조이다. 이 회로는 단순한 PWM 기능을 갖는 회로로 지연선을 통한 케환을 갖고 있다. 이 구조는 입력 신호가 변하는 동안 duty cycle 조정 입력이 출력에 영향을 주지 않고 출력의 rising time을 duty cycle 변화에 따른 변동 없이 독립적으로 유지하기 위한 구조이다.

III. 시뮬레이션 결과 및 결론

그림 1.과 2.를 이용한 3-stage VCO 시뮬레이션 결과를 그림 3-5.에 보였다. 그림 3.은 VCO 버퍼의 Vduty_cont가 50%의 clock duty cycle을 제공하기 위하여 1.8V로 고정된 경우 주파수 조정 입력에 따른 clock duty cycle을 보이며, 이 때 Vcont-는 지연소자의 최대 swing을 위하여 1.8V에 고정된다. 그림 4.는 주파수 조정 입력에 따른 VCO 출력 시뮬레이션 결과이다. 이 때 그림 1.의 MN1과 MN2의 장치 면적은 동일하며, 두 NMOS의 gate 입력이 동일하지 않아야 진동이 발생함으로[2], 주파수 조정을 위한 입력 전압의 구간은 1.8V보다 작게 제한된다. 1.4V보다 큰 구간에서 clock duty cycle이 갑자기 나빠지는 것은 gilbert cell

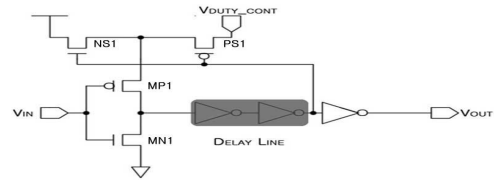


그림 2. Duty cycle 조정을 위한 VCO 버퍼

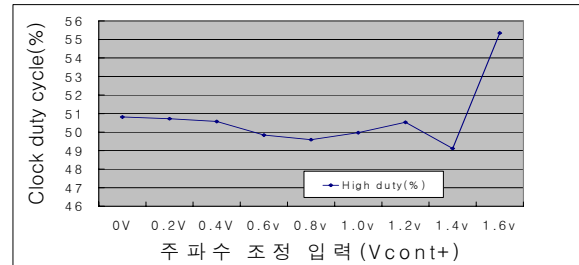


그림 3. 주파수 조정 입력에 따른 clock duty cycle

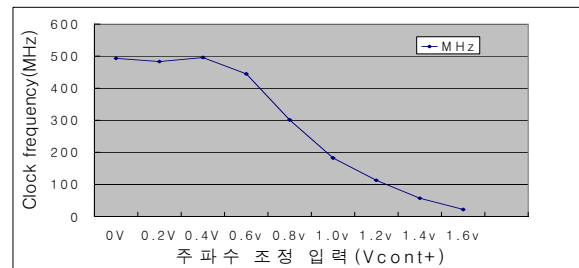


그림 4. 주파수 조정 입력에 따른 VCO 출력

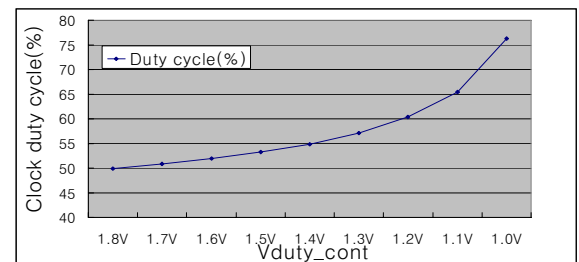


그림 5. Vduty_cont 입력에 따른 duty cycle 변화의 전압 이득이 매우 작아지기 때문이다. 이는 그림 1.에 보인 지연소자의 MN1과 MN2의 장치 면적을 MN2>MN1으로 설계함으로서 보완할 수 있다. 그림 5.는 Vduty_cont 입력에 따른 duty cycle 변화를 나타낸다. Duty cycle 조정 범위는 49.8%에서 76.2%까지이다.

참고문헌

- [1] Y.C. Jang, S.J. Bae, and H.J. Park, "CMOS digital duty cycle correction circuit for multi-phase clock," IEEE Electronics Letters, Vol. 39, No. 19, pp.1383-1384, Sept. 2003.
- [2] Behazad Razavi, "Design of Analog CMOS Integrated Circuits," McGRAW-HILL INTERNATIONAL EDITION, pp.126-129, 2001.