

Si-관통 전극에 의한 수직 접속을 이용한 적층 실장

정진우¹, 이은성^{1,2}, 김현철¹, 문창렬², 전국진¹

¹서울대학교 전기 컴퓨터 공학부

²삼성 종합 기술원 Packaging Center

Stacked packaging using vertical interconnection based on Si-through via

Jinwoo Jeong^{1*}, Eunsung Lee^{1,2}, Hyeon Cheol Kim¹, Changyoul Moon², and Kukjin Chun^{1**}

¹School of Electrical Engineering and Computer Science, Seoul National University

²Samsung Advanced Institute of Technology (SAIT)

E-mail : *deepblue@mintlab.snu.ac.kr, **kchun@mintlab.snu.ac.kr

Abstract

A novel Si via structure is suggested and fabricated for 3D MEMS package using the doped silicon as an interconnection material. Oxide isolations which define Si via are formed simultaneously when fabricating the MEMS structure by using DRIE and oxidation. Silicon Direct Bonding Multi-stacking process is used for stacked package, which consists of a substrate, MEMS structure layer and a cover layer. The bonded wafers are thinned by lapping and polishing. A via with the size of 20 μ m is fabricated and the electrical and mechanical characteristics of via are under testing.

I. 서론

최근 전자제품들이 convergence, mobile 화 됨에 따라 칩의 실장 기술 또한 고집적화, 고성능화, 모듈화를 요구하게 되었다. 따라서 칩을 적층하여 실장하는 SiP 가 필수적인 실장 기술로 자리매김하게 되었다[1]. 현재의 SiP 기술은 비교적 비용이 저렴한 와이어 본딩(wire bonding)을 주로 사용하여 칩간 접속을 형성하고 있으나 배선의 길이가 수 mm 로 길고 신뢰성 확보를 위해

배선의 간격이 제한되어 고성능, 고밀도 접속에 부적합하다. 또한 적층 가능한 칩의 개수가 배선의 절절한 배치를 위해 제한되는 단점이 있다. 또한 플립칩(flip chip) 접속 기술은 접속 길이가 짧아 고성능 접속이 가능하나 접속할 수 있는 칩의 개수가 2 개로 제한된다.

이런 문제점을 극복하기 위하여 칩을 관통하는 전극을 이용한 칩간 접속 기술이 유력한 대안으로 부각되고 있다. 칩 관통 전극의 경우 접속 길이가 짧고 면적이 허용하는 한 접속 개수의 제한이 없으며 적층할 수 있는 칩의 개수도 제한이 없는 장점이 있다[2]. 따라서 최근 고집적 및 고성능이 동시에 요구되는 SiP 실장 기술에 유효한 접속 방법이다.

기존에 보고된 관통 전극의 경우 기판을 관통하는 홈을 뚫은 후에 도금으로 금속을 충전 하는 방법으로 주로 형성하였다[3]. 본 논문에서는 기존의 관통 전극과는 달리 기판의 실리콘 자체를 접속 통로로 사용하여 SiP 및 MEMS 소자의 실장에 유용하게 사용될 수 있는 관통전극을 제안하였다.

II. 본론

그림 1 은 제안한 관통 전극의 개념도이다. 금속을 충전하는 기존의 관통 전극은 Si 기판과 금속의 열팽창

계수의 큰 차이로 인해 기계적으로 불안정하여 신뢰성을 떨어뜨릴 수 있다. Si 자체를 접속 통로로 활용하면 이 문제를 획기적으로 개선할 수 있다. 또한 제안한 관통 전극의 격리층 형성을 위해 DRIE 를 사용하게 되는데 이 때에 동시에 MEMS 소자의 구조물 제작을 동시에 수행할 수 있다. 제안한 실장 구조를 보면 별도의 접합 물질 대신 산화막간의 직접 접합을 이용하여 접합하므로 기밀성 측면에서 유리하기 때문에 MEMS 소자의 제작 및 실장에 이점이 있다.

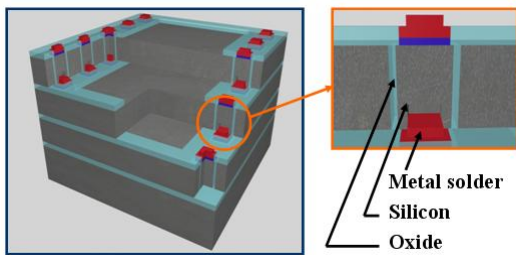


그림 1 제안한 관통 전극 및 이를 활용한 칩 적층 실장의 개념도

III. 제작 및 결과

그림 2 는 관통 전극의 형성 한 후 3 층의 칩을 적층하는 실장 구조의 공정 흐름도이다. 관통 전극을 먼저 각 기판에 형성한 후 접합하는 형태로 공정을 진행하였다. 관통 전극의 전기 전도도를 향상시키기 위하여 전극 실리콘 측면을 $POCl_3$ 도핑처리 하였다. 높은 접합력을 위해 산화막 표면을 RCA-1 처리를 한 후에 직접 접합하는 방법으로 칩 간의 접합을 수행하였다[4]. SDB 접합 후에 가열로에서 한쪽 기판에 도금된 Cu 를 의 리플로우를 시켜 각 칩에 형성된 전극을 접속하였다.

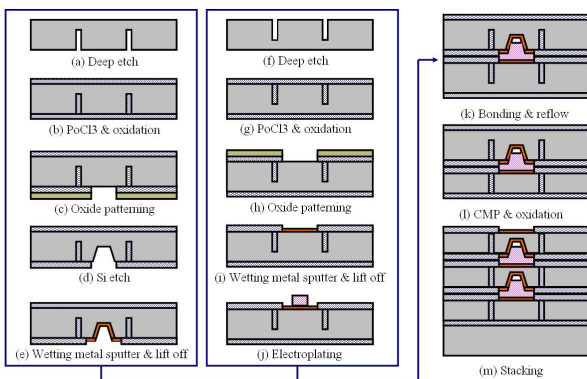
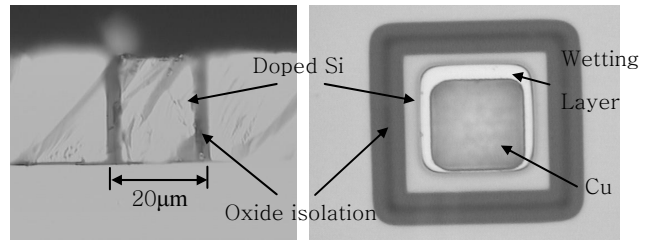


그림 2 적층 실장의 공정 흐름도

그림 3 은 $20\mu m$ 크기로 제작한 관통 전극의 사진이다. 그림 3 에 (a)는 제안된 관통 전극이 형성된 기판을 지지 기판에 접합한 후 CMP 로 박층한 기판의 단면 사진이며 (b)는 다음 층의 접합 및 접속을 위한 후속 공정이 진행된 전극의 윗면을 찍은 사진이다.



(a) 단면 사진 (b) 윗면 사진

그림 3 제작된 관통 전극의 사진

IV. 결론 및 향후 연구 방향

금속을 도금하여 형성하는 기존의 관통 전극과는 달리 도핑된 실리콘을 이용하는 관통 전극과 이를 활용한 적층 패키지 구조를 제안하였다. DRIE 를 이용하여 trench 을 형성한 후 산화를 통하여 격리층을 형성하는 방법으로 $20\mu m$ 크기의 관통 전극을 제작하였다. 제작된 관통 전극이 형성된 두 기판을 SDB 로 접합한 후 Cu 를 리플로우 시켜 두 기판의 전극을 접속하였다. 향후에 다층 기판의 접속을 위한 공정 과정의 향상 작업과 함께 형성된 접속의 특성에 대한 평가가 추가적으로 이루어져야 할 것이다.

참고문헌

- [1] Tai, K.L., "System-In-Package (SiP): challenges and opportunities", Design Automation Conference, 2000.
- [2] Marc de Samber et al., "Through wafer interconnection technologies for advanced electronic devices", Proc 6th Electronics Packaging Technology Conf, 2004.
- [3] David Witorsa et al., "Through wafer copper via for silicon based SiP application", Electronic Packaging Technology Conference 2005. Proceedings of 7th, 2005.
- [4] Christine Harendt et al., "Wafer fusion bonding and its application to silicon-on-insulator fabrication", J. Micromech. Microeng., 1991.