

# 새로운 구조의 나노소자기반 고속/저전압 ESD 보호회로에 대한 연구

\*이조운, \*육승범, \*\*김귀동, \*\*권종기, \*구용서

\*서경대학교 전자공학과

\*\*한국전자통신연구원

e-mail : [ljw4831@empal.com](mailto:ljw4831@empal.com)

## A Study on the novel Nano ESD Protection Circuit with High Speed and Low Voltage

\*Jo-Woon Lee, Seung-Bum Yuk, Yong-Seo Koo

Department of Electronic engineering

Seokyeong University

\*\*Kui-Dong Kim, Jong-Ki Kwon

Electronics and Telecommunications Research Institute

### Abstract

A novel Triple-Well P-type Triggered Silicon Controlled Rectifier (TWPTSCR) for on-chip ESD protection implemented with a triple-well CMOS technology is presented. Unlike conventional SCR devices, the proposed TWPTSCR offers a reduced triggering voltage level as well as the enhanced ESD performance of the SCR devices. From the experimental results, the TWPTSCR with a device width of 20um has the triggering voltage of 1.1V.

### I. 서론

Very Deep Sub- Micron (VDSM)급 반도체 공정에 서 이루어진 집적회로 IC에 유입될 수 있는 ESD 펄스 는 수 kV, 수 A로 매우 높은 전압/전류의 전기적 특 성을 지니므로, 칩 내부 소자의 파괴 및 회로선로의 열화에 의한 회로 오동작과 파괴현상을 가져온다.[1]

또한 최근에는 소형화, 저전압화, 고속화 추세에 있는 반도체 칩에 내장할 수 있는 매우 우수한 특성의 ESD 보호회로 설계가 요구되어 진다. 따라서 본 연구에서 제안되어진 Triple Well P-type Triggered SCR (TWPTSCR) ESD 보호소자는 기존 SCR 구조가 갖는 단점인 높은 트리거 전압을 획기적으로 개선하였으며, 보호회로의 고속 동작을 유도하면서 정상상태에서의 오동작을 방지하기 위해 RC-network를 연결하여 회로 의 신뢰성을 극대화하였다. 그러므로 이러한 고속/저전 압 특성을 갖는 새로운 구조의 TWPTSCR ESD 보호 소자 고안 및 보호회로 설계를 통해 거의 모든 나노소 자기반 I/O interface 회로 및 RF/아날로그 집적회로에 적용하고자 한다.

### II. 제안된 TWPTSCR의 동작원리

본 연구에서는 기존 SCR 구조의 ESD 보호소자에 비 해 혁신적으로 트리거 전압을 낮춘 새로운 구조의 TWPTSCR을 고안하였으며, 그림 1.에 나타내었다.

일반적으로 SCR 구조가 ESD 보호회로로 쓰일 때 보호소자가 트리거 동작을 하기 위해서는 n-well과 p-well junction에서의 avalanche breakdown이 필요하

다.[2] 하지만 TWPTSCR은 Advanced CMOS 공정 기술 중 하나인 Deep well 공정을 이용하여 triple well 구조를 형성함으로써, SCR의 트리거가 이루어지는 p-well 영역에 직접적으로 바이어스를 인가할 수 있도록 설계하였다. 이에 따라서 고안되어진 ESD 보호소자는 기존의 것들에 비해 매우 낮은 트리거 전압을 갖게 된다.

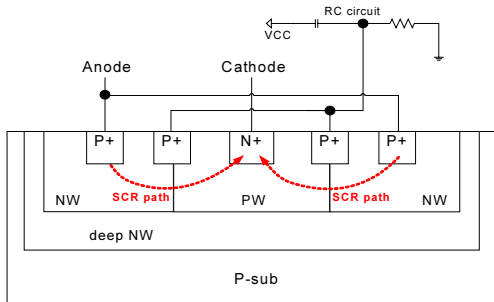


그림 1. 제안된 TWPTSCR의 단면도

이 경우 n-well 쪽의 p+는 SCR의 Anode로서 I/O pad 에 연결되며, p-well 쪽의 n+는 Cathode단으로써 ground에 연결되어 ESD path를 제공하게 된다. 또한 n-well과 p-well 사이에 높은 도핑 농도로 p+ 영역을 형성하고, ESD 펄스가 입력될 때에 이 영역에 연결되어진 RC-network에 의해 직접적으로 바이어스를 인가하도록 구성하여 보호소자의 빠른 응답속도를 얻을 수 있다. 또한 n-well과 p-well 접합부(junction)에서의 순방향 바이어스(forward bias)를 유도하게 되어 결국 Anode 단을 통해 유입된 ESD current가 Cathode 단으로 쉽게 방전되도록 한다. 반면 정상상태 동작에서는 p+ 영역이 RC-network에 의해 floating되어 보호소자의 높은 트리거 전압을 유도한다.

### III. 제안된 TWPTSCR의 전기적 특성

본 연구에서는 MEDICI 및 TSUPREM4 Tool을 이용하여 제안한 TWPTSCR ESD 보호소자의 전기적 특성 추출 및 최적화된 공정 spec.을 도출하였다.

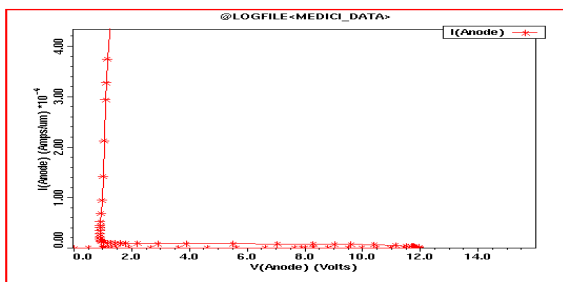


그림 2. 정상상태의 I-V 곡선

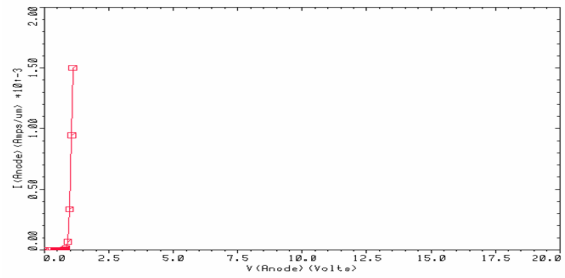


그림 3. ESD pulse 인가 시 I-V 곡선

그림 2.에서 보는 바와 같이 정상상태 동작할 때의 TWPTSCR은 약 12V에서 트리거 됨을 확인할 수 있다. 반면 ESD pulse 인가 시에는 약 10.9V 낮아진 1.1V에서 트리거 되어 ESD current를 효과적으로 방전하고 있음을 볼 수 있다. 따라서 제안되어진 TWPTSCR은 나노소자기반의 고속/저전압 특성을 갖는 I/O interface 및 RF/아날로그 반도체 칩에 적용 가능함을 확인 할 수 있다.

### IV. 결론

본 연구에서 제안한 TWPTSCR은 SCR의 n-well과 p-well 접합부에서의 순방향 turn-on을 유도하여 1.1V의 매우 낮은 트리거 전압을 갖도록 하였다. 또한 RC-network를 통해 보호회로의 빠른 응답속도를 갖도록 하여 나노소자기반의 고속/저전압 I/O interface 회로 및 집적회로 반도체 등에 적용이 가능하다.

### 감사의 글

본 논문은 전자통신연구원(ETRI)의 지원으로 이뤄졌으며, 위 기관의 지원 장비가 활용되었음.

### 참고문헌

- [1] K. Bock, et. al., "Influence of Gate Length on ESD Performance for Deep Submicron CMOS Technology", Proc.EOS/ESD Symp., pp.95-104, 1999.
- [2] AJITH Amerasekera, On-Chip ESD Protection for Integrated Circuits, Kluwer Academic publisher, p303.