

새로운 구조의 Zener Triggered SCR ESD 보호회로에 대한 연구

*이조운, *이재현, *손정만, *박미정, *구용서
*서경대학교 전자공학과

e-mail : ljlw4831@empal.com

A Study on the novel Zener Triggered SCR ESD Protection Circuit

*Jo-Woon Lee, Jae-Hyun Lee, Jung-Man Son, Mi-Jung Park, Yong-Seo Koo
Department of Electronic engineering
Seokyeong University

Abstract

This paper presents the new structural zener triggered silicon-controlled rectifier (ZTSCR) electrostatic discharge (ESD) protection circuit. The proposed ESD protection circuit has lower triggering voltage than conventional circuits. The proposed ZTSCR has the triggering voltage of 4V. In the ESD event, this proposed novel ZTSCR ESD protection device could trigger quickly and provide an effective discharging path.

I. 서론

Very Deep Sub-Micron(VDSM) 기술을 기반으로 고속 동작하는 반도체 칩에서 ESD 현상은 내부회로소자의 파괴 및 칩의 동작과 수율(yield)에 매우 큰 Damage를 주는 요인이 되고 있다.[1] 따라서 본 연구에서는 ESD 보호회로를 구현하기 위한 방법으로 작은 소자 폭으로 높은 전류 구동능력을 갖는 silicon controlled rectifiers (SCRs)구조를 채택하였으며[2], Zener 접합의 breakdown으로 보호소자의 Triggering

을 유도할 수 있는 새로운 구조의 ZTSCR을 고안하였다. 또한 RC network를 연결하여 소자의 보다 낮은 트리거 전압을 유도하고, 빠른 응답속도를 갖도록 설계하였다. 마지막으로 고안한 소자의 시뮬레이션을 통하여 전기적 특성 및 최적화된 공정 spec.을 추출하고자 한다.

II. 제안된 TWPTSCR의 동작원리

본 연구에서는 SCR 소자의 트리거 전압을 효과적으로 낮추기 위해서 zener 접합을 이용하였다. 이는 일반적인 SCR에서 n/p-well junction의 surface 영역에 고농도로 도핑된 PN 접합을 형성하여 만들 수 있으며, 그림 1.에 단면도를 나타내었다.

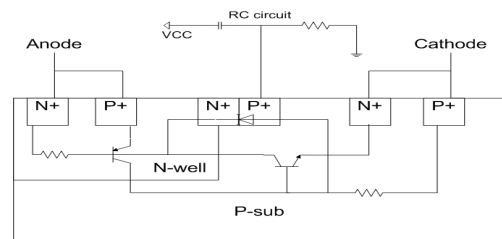


그림 1. 제안된 ZTSCR의 단면도

ESD pulse는 보통 I/O pad에 연결된 Anode 단으로 유입된다. 이를 통해 SCR의 기생 PNP 바이폴라가 턴-온 되며, 컬렉터를 통해 흐르는 전류는 기생 NPN 바이폴라의 베이스 포텐셜을 높여주어 결국 두 개의 트랜지스터가 positive feedback 동작을 하면서 Cathode 단으로 ESD current를 방전하게 된다. 그러나 일반적인 SCR의 트리거 전압은 n/p-well의 항복전압으로 정의되며, 이는 약 20V 이상으로 매우 높아서 나노소자 기반의 저전압 반도체 칩에는 적용이 불가능하게 된다. 반면 고안되어진 ZTSCR은 n/p-well의 접합부에 zener diode를 형성하여 역바이어스 상태에서의 zener 항복전압을 이용함으로써 트리거 전압을 약 5V 이하로 낮출 수 있게 된다. 또한 RC-network를 연결하여 ESD pulse 인가 시에만 zener diode의 p+ 영역에 바이어스를 제공함으로써 소자의 보다 빠른 응답속도 및 낮은 트리거 전압을 얻을 수 있게 된다. 이를 통해 제안된 ZTSCR은 효과적으로 ESD current를 방전할 수 있게 된다.

III. 제안된 TWPTSCR의 전기적 특성

본 연구에서는 제안한 ZTSCR의 전기적 특성 분석 및 최적화된 공정 spec.을 도출하였으며, 기존의 일반적인 SCR 소자의 특성과 비교분석하여 제안한 보호소자의 유효성을 검증하였다. 이를 위해 MEDICI 및 TSUPREM4 tool을 이용하였다.

3.1 Zener 접합의 항복전압

ZTSCR의 Zener 접합은 실질적으로 n-well과 p-substrate의 경계면에 형성된다. 그림 2.에서 보는 바와 같이 Zener 접합에 의한 항복전압은 약 5.7V 정도로 상당히 낮은 것을 확인 할 수 있으며, 이 항복 특성은 결국 제안된 구조의 트리거 전압에 직접적인 영향을 주는 파라미터가 된다.

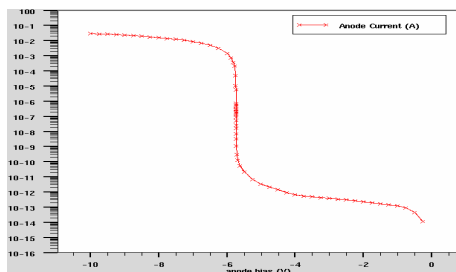
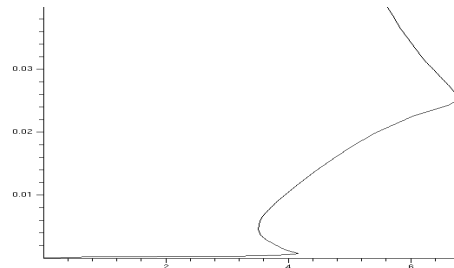


그림 2. Zener 접합의 항복 특성

3.1 ZTSCR의 ESD 보호 특성

그림 3.은 ZTSCR 보호소자의 전류-전압 특성으로서,

이 구조가 ESD 보호소자로서 얼마나 유효한가를 직접적으로 나타내는 결과라 할 수 있다. 제안된 소자는 약 4.2V, 4mA의 트리거 전압 및 전류 특성을 보였다. 또한 약 25mA/ μm 의 2차 항복 전류 특성을 나타내었다. 이는 소자의 Robustness를 나타내는 파라미터로서, 이 소자가 1 μm 당 25mA의 ESD 과도 전류를 흘려보내 줄 수 있는 것을 의미한다.



(b)
그림 3. ZTSCR의 I-V Curve

IV. 결론

본 연구에서는 Zener 접합의 항복전압으로 SCR의 트리거를 유도한 새로운 구조의 ZTSCR ESD 보호소자를 고안하였으며, 시뮬레이션 결과 약 4.2V, 4mA의 트리거 전압 및 전류 특성, 25mA/ μm 의 2차 항복 전류 특성을 나타냈다. 따라서 약 5V 정도의 낮은 동작전원을 갖는 RF 및 아날로그 집적회로에 적용 가능성을 확인하였다.

감사의 글

본 논문은 2006년도 「서울시 산학연 협력사업」의 「나노IP/SoC설계기술혁신사업단」의 지원으로 이루어졌습니다.

참고문헌

[1] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.
[2] Chun-Hsiang Lai, Meng-Hwang Liu, Shin Su, Tao-Cheng Lu, and Sam Pan, "A Novel Gate-Coupled SCR ESD Protection Structure With High Latch up Immunity for High-Speed I/O Pad", IEEE Electron Device Letters, vol. 25, pp. 328-330, MAY 2004.