

# 낮은 누설전류를 위한 소스/드레인-게이트 비중첩

## Nano-CMOS 구조 전산모사

송승현\*, 이강승\*\*, 정윤하\*\*\*  
포항공과대학교 전자전기공학과

### Simulation of nonoverlapped source/drain-to-gate

### Nano-CMOS for low leakage current

Seung-Hyun Song\*, Kang-Sung Lee\*\*, Yoon-Ha Jeong\*\*\*

Department of Electronic and Electrical Engineering

Pohang University of Science and Technology

E-mail : \*hyun@postech.ac.kr, \*\*kaslee@postech.ac.kr, \*\*\*yhjeong@postech.ac.kr

#### Abstract

Simple nonoverlapped source/drain-to-gate MOSFETs to suppress GIDL (gate-induced drain leakage) is simulated with SILVACO simulation tool. Changing spacer thickness for adjusting length of Drain to Gate nonoverlapped region, this simulation observes on/off characteristic of nonoverlapped source/drain-to-gate MOSFETs. Off current is dramatically decreased with S/D to gate nonoverlapped length increasing. The result shows that maximum on/off current ratio is achieved by adjusting nonoverlapped length.

#### I. 서론

소자의 축소화를 통해 집적도를 올림으로써 생산단가를 낮추기 위하여, DRAM의 셀 크기는 급격하게 줄어들어 왔다. 소자의 크기가 줄어들어 따라 cell capacitor에 축전될수 있는 전하의 양이 줄어들었으며, 그에 따라 DRAM 셀 트랜지스터는 낮은 누설전류 양을 요구하게 되었다 [1]. 이러한 소자의 축소화를 이루면서 단채널효과를 줄이기 위하여, 게이트 산화막은 줄어든 채널 길이와 거의 같은 비율로 줄어들어왔다. 이는 서브문턱누설전류를 감소시켰으나, 얇아진 산화막 두께로 인하여 유도된 강한 전기장이 공간전하 영역에서 일어

나는 밴드간 터널링에 의한 전하의 생성량을 크게 하여 GIDL(Gate Induced Drain Leakage)이 큰 문제로 대두되고 있으며, 이는 셀 상에 0가 입력되었을 때 심각한 누설 전류원이 된다 [2].

본 논문은 GIDL 최소화를 위한 소스/드레인-게이트 비중첩 구조를 제안하고 그에 대한 최적화를 수행하였다. 그리고 비중첩 영역의 길이를 조절하여 드레인-게이트 사이의 전장을 줄임으로서 누설전류가 조절될 수 있음을 보였고, 동작( $I_{on}$ )/누설전류( $I_{off}$ ) 비의 최적점을 찾았다.

#### II. 본론

GIDL을 줄이기 위하여 SILVACO를 이용하여 전산모사된 소스/드레인-게이트 비중첩 Nano-CMOS 구조는 그림 1에 묘사되어 있다. 산화막 스페이서를 이용하여 비중첩된 거리( $L_{no}$ )를 조절하였다. 게이트 산화막 두께 40Å, 60Å에서 게이트 길이와 스페이서의 간격을 변화시키며 드레인과 소스간의 전압이 1.5V 일때의 소자의 성능을 조사하였다.

그림 2는 54nm 소자의 I-V 특성이며, 단채널 효과가 게이트-드레인 간 비중첩 영역의 길이가 커질수록 점점

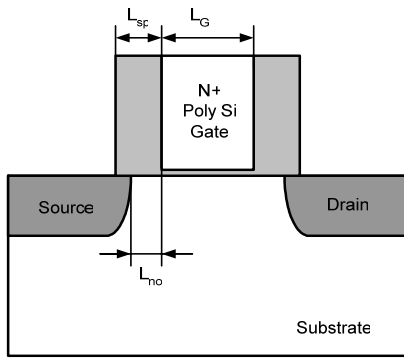


그림 1 시뮬레이션 된 소자구조

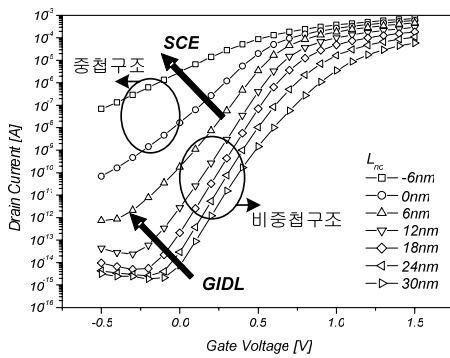


그림 2 비중첩 영역의 길이 변화에 따른 소자의 특성 변화

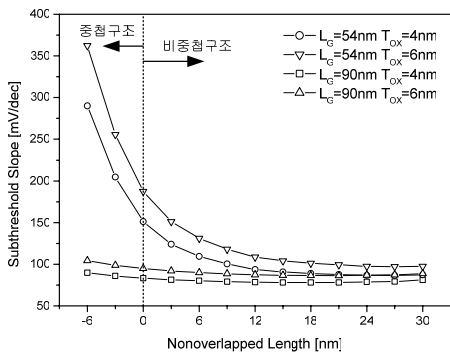


그림 3 비중첩 영역의 길이 변화에 따른 subthreshold slope 특성변화

억제되는 모습을 보인다. 주된 누설전류원이 중첩구조에서는 subthreshold 누설전류이고 비중첩 구조의 경우에는 GIDL 임을 알 수 있다.

Subthreshold slope 는 그림 3 에 묘사되어 있으며, 비중첩 영역이 커짐에 따라 성능이 향상되는 것이 관찰된다. 이러한 결과는 비중첩 구조가 기존의 구조에 비해

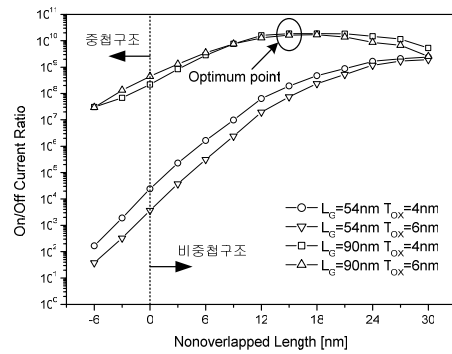


그림 4 비중첩 영역의 길이 변화에 따른  $I_{on}/I_{off}$  의 비. 최적점이 90nm 소자의  $L_{no}=15nm$  에서 관찰됨

같은 게이트 길이상에서 더 넓은 채널 길이를 가지며 그에 따라 드레인에 의하여 생성된 공간전하 영역이 전체 채널상에 차지하는 비율이 줄어 단채널 효과를 줄이는 효과가 있음을 나타낸다 [3].

그림 4 는 전산모사된 소자의  $I_{on}/I_{off}$  의 비를 보여준다. 비중첩 구조에서 개선된  $I_{on}/I_{off}$  의 비는 그림 3 에서 예상되는 결과이다. 비중첩 구조에서 최적의  $I_{on}/I_{off}$  비가 존재함이 관찰되었고, 이는 중첩구조상의 값보다 50 배 이상 높은 값이다. 이러한 높은  $I_{on}/I_{off}$  는 비중첩구조가 기존의 중첩된 구조에 비하여 월등한 스위칭특성을 가진다는 것을 나타낸다

### III. 결론 및 향후 연구 방향

본 논문은 제안된 소스/드레인-게이트 비중첩 구조가 높은 스위칭특성과 낮은 누설전류 특성으로 인하여 DRAM 셀용으로 적합하다는 것을 보였고, 그 동작/누설전류비의 최적화를 수행하였다. 하지만 낮은 동작전류특성과 구조상에 드레인 연장단이 없음으로 인하여 발생하게 될 열전하문제에 대한 연구가 지속적으로 이루어져야 할 것이다.

### 참고문헌

[1] Minchen Chang, et al, IEEE Trans. Electron Devices, vol. 50, no. 4, pp. 1036-1041, April 2003.  
 [2] Ja-Hao Chen, et al., IEEE Trans. Electron Devices, vol. 48, no. 7, pp. 1400-1405, July 2001.  
 [3] Hyunjin Lee, et al., IEEE Trans. Nanotechnology, vol. 1, no. 4, pp. 219-225, December 2002.