

소비전력 인지형 곱셈 연산 누적기의 설계 및 구현

*신민혁, 이한호

인하대학교 정보통신공학부

e-mail : zoomuni@hanmail.net, hhlee@inha.ac.kr

Design and Implementation of a Power Aware Scalable Pipelined Booth Multiply & Accumulate Unit

*Min-Hyuk Shin, Hanho Lee

School of Information and Communication Engineering
Inha University

Abstract

A low-power power-aware scalable pipelined Booth recoded multiply & Accumulate unit (PA-MAC) detects the input operands for their dynamic range and accordingly implements a 16-bit, 8-bit or 4-bit multiplication and accumulation operation. The multiplication mode is determined by the dynamic - range detection unit. For the computations, although an area of the proposed PA-MAC is larger than a non-scalable MAC respectively, the proposed PA-MAC proves to be globally more power efficient than a non-scalable MAC.

I. 서론

배터리 파워를 이용한 무선 센서 통신 시스템 내에 동작 시나리오가 방대하게 요구되는 DSP 기능에서는 필요한 파워를 감지하고 이를 효과적으로 관리하는 것이 매우 중요하다. 일정하게 변화하는 환경에서의 포터블 디바이스와 극도로 제한된 배터리 수명에서 소비 전력 인지(power-aware) 설계가 고려된다. DRD(Dynamic Range Detection), Booth Encoder, PPG(Partial Product Generator), Wallace Tree 등의 개념을 이용한 소비전력 인지형 Multiplier와 Carry Lookahead Adder를 이용한 Accumulator를 결합하여 Multiply and Accumulate (MAC) unit을 구현하고, non-scalable Multiplier를 이용한 MAC unit와의 계산 시에 소비되는 파워를 측정하여 비교, 분석 하였다.

Partial Product Generator), Wallace Tree 등의 개념을 이용한 소비전력 인지형 Multiplier와 Carry Lookahead Adder를 이용한 Accumulator를 결합하여 Multiply and Accumulate (MAC) unit을 구현하고, non-scalable Multiplier를 이용한 MAC unit와의 계산 시에 소비되는 파워를 측정하여 비교, 분석 하였다.

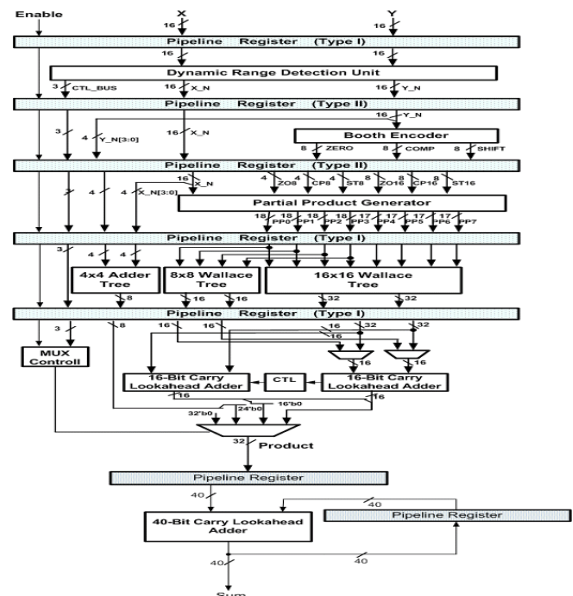


그림 1. 소비전력 인지형 Multiply and Accumulate Unit 의 구조.

II. 본론

DRD unit은 입력 데이터의 유효한 동작범위를 감지하고 동작시간 데이터 정밀도(run-time data precision)를 맞춰주기 위해 Wallace tree와 어레이 기반의 곱셈기부분을 제거하기 위한 제어 신호를 생성한다. 제안한 곱셈기의 부분 곱 생성장치(PPG Unit)는 16비트와 8비트 곱셈 모드로 나뉘져 가변구성(configurable)이 가능하다.

부분 곱 합산은 두 단계로 이뤄져 있는데, 첫 단계에서 부분 곱의 덧셈을 위해 optimized Wallace tree 구조를 사용하고 두 번째 단계에서는 Carry Lookahead Adder(CLA)에서 마지막 덧셈이 이뤄진다. Radix-4 Booth-recoded 곱셈기는 부분 곱의 개수가 반으로 줄어드는 이점을 가지고 있다. 따라서 M비트 곱셈기는 단지 M/2개의 부분 곱이 생성된다.

Tree 구조의 결과 값인 두 개의 32비트 값은 최종 결과(final products)를 얻기 위해 Final CLA를 이용하여 합해진다. 마지막 CLA구조는 16비트와 8비트 Wallace tree구조 간에 분리되어 있다. 두 개의 16비트 CLA는 곱셈 모드를 선택하고 이에 따라 마지막 덧셈을 위한 구조의 선택 명령어를 결정하는 "CTL_BUS"제어 신호를 사용한다. 만약 8비트 곱셈 모드이면, 가장 오른쪽 16비트 CLA가 사용되고 가장 왼쪽 CLA는 동작되지 않는다. 그러나 만약 16비트 곱셈 모드가 동작 중이면 하나의 32비트 CLA 구조가 동작하는 것처럼 두 개의 CLA구조 모두 사용된다.

Product에서 나온 32비트 결과 값은 Accumulator로 들어오게 된다. 일단 파이프라인에 저장된 product 값은 40비트 CLA로 입력된다. 노적된 40비트의 결과 값은 다시 파이프라인에 저장되어 뒤 따라 들어오는 32비트 결과 값과 함께 다시 누적된다.

전체 PA-MAC에서 critical path는 40비트 CLA 블록에 있으며 delay는 8.6ns 이고, Maximum Frequency는 116.4 MHz를 얻었다.

III. 결론

Verilog HDL를 이용하여 PA-MAC 유닛을 설계한 후 ModelSim의 simulation waveform을 이용하여 Verilog code의 동작을 확인하였다. 검증 후에는 Synopsys Design Compiler를 이용하여 합성(Synthesis)을 한 후 PrimePower 툴을 이용하여 최종적으로 파워를 측정하여 비교하였다.

PrimePower tool을 이용한 파워측정은 일반적인 환경에서 균일하게 분산된 임의의 1000개 입력 테스트

벡터를 이용하였다. 아래 Table I, II는 PA-MAC 과 non-scalable MAC의 gate수, 클럭스피드와, 파워소비 결과를 보여준다.

PA-MAC 유닛은 non-scalable MAC 유닛보다 Gate수가 28%정도 크지만, computation시 소비되는 전체 파워는 12%정도 더 적음을 확인할 수 있다. 그러므로 제안된 PA-MAC Unit이 전력 소비 측면에서 훨씬 효율적이라는 것을 알 수 있다.

Table I. Gate count 및 clock speed.

	Gate Count	Clock Speed
PA-MAC	7,700	116.4 MHz
Non-scalable MAC	5,536	120.1 MHz

Table II. Total Power 비교.

	PA-MAC	Non-scalable MAC
Random	3.71 mW	6.48 mW
16	11.74 mW	9.34 mW
8	2.57 mW	4.45 mW
4	2.16 mW	2.63 mW
Total	20.18 mW	22.9 mW

감사의 글

본 연구는 대학 IT연구센터(이하 UWB-RC) 육성 지원 사업의 연구결과로 수행되었음.

참고문헌

- [1] 박명순 외3인, "컴퓨터 구조 및 설계", 사이테 미디어, pp. 228-233, 2003.
- [2] A.Wang and A.Chandrakasan, "Energy-Efficient DSPs for Wireless Sensor Networks," *IEEE Signal Processing Magazine*, pp. 68-78, July 2002.
- [3] 이한호, "A Power-Aware Scalable Pipelined Booth-Multipliers," *IEICE Trans. Fundamentals*, Vol. E85, No. 1, Nov. 2005.
- [4] Amos R. Omondi, "Computer Arithmetic Systems", pp. 129-142, 1994.
- [5] Kyung-Ju Cho, Kwang-Chul Lee, Jin-Gyun Chung, "Design of Low-Error Fixed-Width Modified Booth Multiplier", *IEEE Trans. On Very Large Scale Integration(VLSI) Systems*, VOL. 12, NO.5, May 2004.