

ALD방법으로 성장된 HfO₂/Hf/Si 박막의 전기적 특성

이대갑, 도승우, *이재성, 이용현
경북대학교 전자공학과, *위덕대학교 정보통신공학부
e-mail : ldg1978@hanmail.net, yhlee@ee.knu.ac.kr

Electrical Characterization of HfO₂/Hf/Si(sub) Films Grown by Atomic Layer Deposition

Dae-Gab Lee, Seung-Woo Do, *Jae-Sung Lee and Yong-Hyun Lee
Kyungpook National Univ.
*Uiduk Univ.

Abstract

In this work, We study electrical characterization of HfO₂/Hf/Si films grown by Atomic Layer Deposition(ALD). Through AES(Auger Electron Spectroscopy), capacitance-voltage(C-V) and current-voltage(I-V) analysis, the role of Hf layer for the better HfO₂/Si interface property was investigated. We found that Hf metal layer in our structure effectively suppressed the generation of interfacial SiO₂ layer between HfO₂ film and silicon substrate.

I. 서론

나노급 CMOS 기술에서 게이트 유전체(Gate Dielectrics)로서 실리콘 산화막(SiO₂)의 효용성은 한계에 달하였다. 이를 해결하기 위해 여러 유전체가 SiO₂의 대체물질로서 연구되고 있다. 최근에 대체물질로서 Ta₂O₅, TiO₂, SrTiO₃, HfO₂, ZrO₂, Si₃N₄, Al₂O₃를 활발히 연구하고 있다. 이 중에서 HfO₂은 SiO₂를 대체할 게이트 유전체로서 많은 관심을 받고 있는 물질이다. HfO₂은 22~25의 높은 유전상수(Dielectric Constant)를 갖고 있으며, Si과의 접촉에서 열역학적으로 안정성을 갖고 있다 [1].

본 논문에서는 HfO₂/Si와 HfO₂/Hf/Si를 ALD(Atomic Layer Deposition) 방법으로 증착시켰고, 금속 전극은 E-Beam Evaporator를 이용하여 Pt(2000 Å) / Ti(100 Å)를 증착시켜 사용하였다. MOS 커패시터를 제작하여 후속 열처리를 450 °C에서 수행하였다. 박막의 두께는 Ellipsometry를 이용하여 측정하였다. 그리고 전기적 특성은 HP 4155와 HP 4280A로 I-V, C-V를 측정하였고, AES분석을 통해 조성을 분석하였다.

II. 본론

소자의 크기가 감소함에 따라 SiO₂기반의 게이트 유전체 한계를 극복하기 위해 높은 유전 상수를 갖는 대체 물질 연구가 활발히 진행 중이다. 그 중에 많은 관심을 받고 있는 물질 중에 하나는 HfO₂이다. 하지만 HfO₂은 SiO₂에 비해 낮은 온도에서의 결정화가 일어나며, 열처리 시 HfO₂와 Si 계면 사이에 원치 않은 SiO_x층이 형성되어 소자의 특성을 감소시킨다 [2,3,4]. 본 실험에서는 열처리(Annealing) 과정에서 산소가 산화막을 통해 확산되어 HfO₂/Si 사이에 SiO_x막을 형성하는 문제점을 해결하기 위해 Si에 10 Layer의 Hf를 증착하고 HfO₂를 증착하였다. HfO₂/Si 구조와 특성을 비교했고, Hf layer의 역할을 분석하였다. 그림 1에서 HfO₂/Si 구조를 열처리 했을 때 V_{FB}(Flat-Band Voltage)가 좌측으로 Shift하는 것

을 관찰 할 수 있다. 반면에 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조를 열처리를 했을 때 V_{FB} 가 우측으로 Shift하는 것을 관찰할 수 있으며, 상대적으로 큰 정전용량을 나타내고 있다. 모든 시료의 결과에서 실리콘과의 계면에서의 특성은 안정적으로 나타나고 있지만, HfO_2 의 산화막내의 Bulk Trap의 생성에서는 열처리된 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조가 가장 적게 생성됨을 알 수 있었다. 이것은 열처리 과정을 통해 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조의 10 Layer의 Hf이 Si 계면에서 SiO_x 의 형성을 억제할 뿐 아니라 상대적으로 SiO_2 보다 유전율이 높은 HfSi_xO_y 막이 성장되어, as-dep 상태 보다 Oxide Trapped Charge가 감소하고 높은 유전상수를 갖게 되었음을 의미한다.

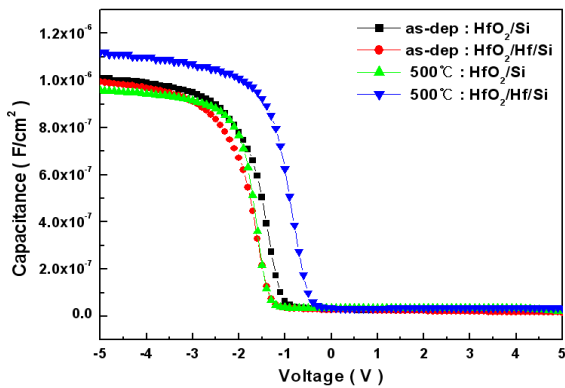


그림 1 HfO_2/Si 과 $\text{HfO}_2/\text{Hf}/\text{Si}$ 의 MOS Capacitor의 C-V 곡선

그림 2은 열처리된 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조에서 측정된 I-V 특성 곡선이다. 실리콘 Substrate의 도핑농도 및 상부 전극과의 일함수 차이로 인해 대칭적인 곡선이 나타나지 않고 있다. 이에 대한 연구는 진행 중이다.

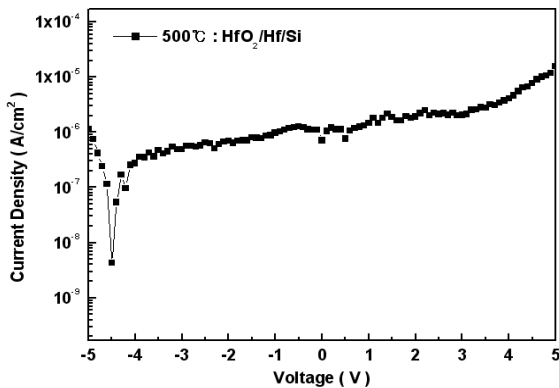


그림 2 $\text{HfO}_2/\text{Hf}/\text{Si}$ 의 MOS Capacitor의 I-V 곡선

그림 3는 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조에서 HfSi_xO_y 막의 형성 여

부와 조성 분석을 위해서 AES 분석을 한 결과이다. Hf과 O의 비율이 1 : 2에 근접하여, 화학정량적 조성을 보이고 있고 HfO_2/Si 계면에서 HfSi_xO_y 막이 형성이 되었다는 것을 나타낸다.

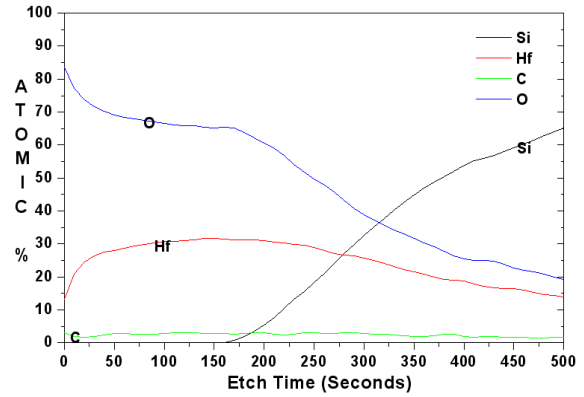


그림 3 $\text{HfO}_2/\text{Hf}/\text{Si}$ 구조의 AES 분석

III. 결론

본 논문에서는 $\text{HfO}_2/\text{Hf}/\text{Si}$ 박막 구조에서 열처리를 해주었을 때 Hf Layer의 역할과 Hf Layer를 형성한 구조와 형성하지 않은 구조의 전기적 특성 및 물리적 특성에 대해 분석하였다. Hf Layer를 형성한 구조는 SiO_x 성장을 억제하고, 유전율이 높은 HfSi_xO_y 막이 성장하였다. 이로 인해 Oxide Trapped Charge를 줄여 주었고, 높은 정전용량을 얻을 수 있다. 그 결과 $\text{HfO}_2/\text{Hf}/\text{Si}$ 박막은 CMOS 기술에 응용 가능성을 확인할 수 있다.

참고문헌

- [1] K.J. Hubbard and D.G. Schlom, "Thermodynamic stability of binary oxides in contact with silicon" J. Mater. Res, vol.11, p.2757, 1996
- [2] M.-H. Cho, Y.S. Roh, C.N. Whang, K. Jeong, S.W. Nahm, D.-H.Ko, J.H. Lee, N.I. Lee, K. Fujihara, Appl. Phys. Lett. 81 (2002) 472.
- [3] G. He, Q. Fang, M. Liu, L. Q. Zhu and L. D. Zhang Journal of Crystal Growth, Volume 268, Issues 1-2, 15 July 2004, Pages 155-162
- [4] K. L. Ng, Nian Zhan, C. W. Kok, M. C. Poon and Hei Wong Microelectronics Reliability, Volume 43, Issue 8, August 2003, Pages 1289-1293