

전류모드 기술을 이용한 고속동작 SRAM 설계 (Design of A High-Speed SRAM using Current-Mode Technique)

*류연택, 서해준, 김영복, 조태원

(Yeon-Teak Yoo, Hae-Jun Seo, Young-Bok Kim, Tae-Won Cho)

*LG.Philips LCD, 충북대학교 전자공학과

e-mail : ytyoo@lgphilips-lcd.com, hjseo@cbnu.ac.kr,
goodluck@cbnu.ac.kr, twcho@cbnu.ac.kr

Abstract

This paper presents an SRAM which uses the technique to equalize the internal cell node by adding an NMOS transistor. Accordingly, the write driver operates rapidly in a differential current of bit lines, and the operation speed of SRAM improves. An SRAM was implemented with a memory cell, a sense amplifier and a write driver. The SRAM obtained the performance of 18% power reduction and improvement of 56% operation speed. And Power delay product was reduced with 63%. The proposed SRAM was designed based on a 0.35um 1P4M CMOS technology.

I. 서론

SRAM의 메모리 용량이 늘어나면서 전력소비(power dissipation)나 다양한 기생 용량들(parasitic capacitances)도 같이 증가하고 있다. 읽기/쓰기 동작이 비트선과 데이터선의 전압스윙을 감지하여 일어나기 때문에 비트선과 데이터선의 용량의 증가는 센싱 속도나 쓰기 시간(writing time)을 줄이는데 주된 방해요인으로 작용한다. 과거의 전압모드(voltage-mode) 기술로 SRAM의 전력소비를 줄이는데 한계에 부딪쳐, 최근에 전류모드 센싱 회로들이 증가하고 있는 비트선과 데이터선의 용량에 의한 스피드 저하 문제를 개선하기 위해 제안된다. 전류모드는 매우 작은 비트선/데이터선의 전압스윙으로도 센싱이 가능하므로 속도도 개선될 뿐만 아니라 전력소비도 줄일 수 있다. 전류모드는 매우 작은 비트

선/데이터선의 전압스윙으로도 센싱이 가능하므로 속도도 개선될 뿐만 아니라 전력소비도 줄일 수 있다. 그러나 대부분의 기술은 읽기(read)시의 전력소비를 줄이는데 초점이 맞춰져 있다. 쓰기(write)시에는 이전의 셀 데이터(original cell data)를 덮어쓰기 위해 비트선의 풀 전압스윙(full voltage swing)이 필요한데, 풀 전압스윙은 많은 동적 전력(dynamic power)을 소비한다. 실제 SRAM에서는 센스앰프와 쓰기 구동기가 항상 같이 사용되므로 현재로서는 쓰기 동작이 읽기 동작의 속도를 따라가지 못하고 있다.

II. 본론

제안한 전류모드 센스앰프와 쓰기 구동기를 적용한 SRAM 1 cell의 읽기/쓰기 회로는 그림 1과 같다.

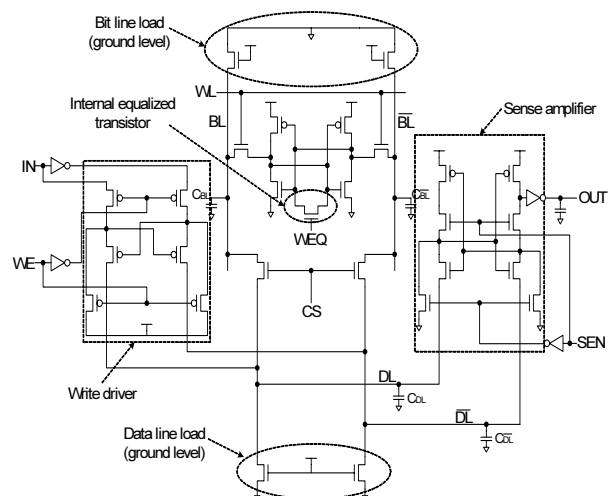


그림 1. The schematic of proposed current-mode SRAM

메모리 셀을 중심으로 왼쪽은 데이터 쓰기 구동기 회로이고, 오른쪽은 센스앰프 회로이다. 비트선과 데이터선의 안정된 매칭(matching)을 위해 비트선과 데이터선의 로드를 접지 레벨로 같게 한다. 이것은 비트선과 데이터선의 전압 스윙도 줄어들어 전력소모를 줄인다. 비트선의 접지 레벨에서 작은 전압 스윙에도 빠르게 동작하는 cross-coupled 전류모드 센스앰프를 사용하였고, 쓰기 구동기는 비트선이 접지 레벨로 되어 있으므로 high 전압을 잘 전달할 수 있도록 PMOS를 이용한다. 셀 내부에 등화 트랜지스터를 삽입하여 쓰기 동작 시에 셀 내부 노드를 미리 등화 시켜 작은 차동 전류(differential current)에도 빨리 반응할 수 있도록 하여 쓰기 구동기와 센스앰프의 동작속도를 비슷하게 한다. 표1-3은 비트선에 용량의 변화에 따른 읽기동작 시 전력소모와 쓰기 동작 시 전력소모, 읽기/쓰기 동작을 모두 적용한 전체 SRAM의 전력소모를 나타낸다.

Table 1. Reading average power dissipation against bit-line capacitance

Bitline cap(pF) Sensing power(mW)	Bitline				
	2	4	6	8	10
J. S. Wang의 센스앰프 회로 [3]	2.67	2.67	2.69	2.69	2.71
S. M. Wang의 센스앰프 회로 [4]	0.83	0.84	0.86	0.88	0.88
제안한 센스앰프 회로	0.77	0.79	0.80	0.82	0.82

Table 2. Writing average power dissipation against bit-line capacitance

Bitline cap(pF) Write power(mW)	Bitline				
	2	4	6	8	10
J. S. Wang의 쓰기 구동기 회로 [3]	2.31	2.33	2.36	2.37	2.37
S. M. Wang의 쓰기 구동기 회로 [4]	1.03	1.03	1.05	1.05	1.05
제안한 쓰기 구동기 회로	0.76	0.77	0.77	0.78	0.78

Table 3. Total power dissipation and write pulse width(cap=2pF)

구분	항목	Total power dissipation(mW)	Total WL pulse width(nS)	PDP (pJ)
J. S. Wang의 1 cell SRAM 회로		4.98	1.1	5.5
S. M. Wang의 1 cell SRAM 회로		1.86	1.6	3.0
제안한 1 cell SRAM 회로		1.53	0.7	1.1

전력소비는 J. S. Wang의 전류모드 센스앰프 회로보다 71% 줄어들었고, S M. Wang의 전류모드 센스앰프 회로보다는 7% 감소하였다. 소비전력 면에서 제안한 회로는 기존의 J. S. Wang의 쓰기 구동기 회로보다 67% 줄어들었고, S. M. Wang의 쓰기 구동기 보다는 26%감

소하였다. 기존의 논문은 고속 동작이나 저전력 중 하나의 성능에 초점이 맞춰진 반면 제안한 회로는 고속 동작에도 적합하며 전력소비 면에서도 좋은 성능을 가진다.

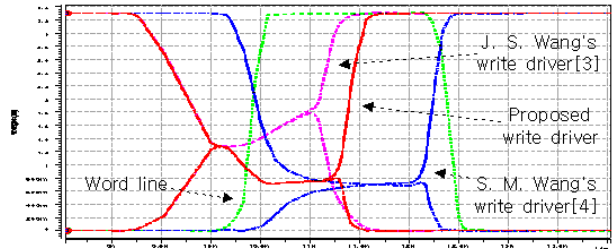


그림 2. Simulated waveform of cell node signal(write)

그림 2는 각각의 쓰기 구동기 성능을 보여준다. J. S. Wang의 쓰기 구동기의 셀 노드가 가장 빨리 벌어지고 외부 등화 트랜지스터를 이용한 S. M. Wang의 쓰기 구동기 셀 노드는 안정적이지 못하면서 변화되는 속도도 가장 느리다. 제안한 회로는 0.7ns의 쓰기 펄스폭을 가진다.

III. 결론

본 논문에서는 읽기/쓰기 동작에서 모두 전류모드를 적용한 SRAM을 제안한다. 비트선의 로드를 기존의 precharge와는 반대로 접지레벨로 하여 predischarge하는 방식을 사용함으로써 읽기와 쓰기 동작 시 비트선의 전압 스윙이 항상 작게 유지되어 소비전력을 줄인다. 셀 내부 노드를 미리 등화하는 기술을 적용하여 쓰기 동작 속도를 개선함으로써 SRAM의 고속 동작을 구현한다. 기존의 전류모드 SRAM보다 전력소모는 18%감소하였고 동작속도는 56%빨라졌으며, 전력-지연곱(PDP)는 63% 감소하였다. 설계한 회로는 3.3V, 0.35um 1P4M CMOS technology를 사용하여 HSPICE로 시뮬레이션 하였다.

참고문헌

- [1] Jinn-Shyan Wang, Wayne Tseng and Hung-Yu Li, "Low-Power Embedded SRAM with the Current-Mode Write Technique", IEEE Journal of Solid-State Circuits, vol.35, no.1, January.2000, pp.119-124
- [2] S. M. Wang and C. Y. Wu, "Full Current-Mode Techniques for High-Speed CMOS SRAMs", Circuits and Systems. ISCAS 2002. IEEE International Symposium on, vol.4, May.2002, pp.580-582