

# 잉크젯 프린팅으로 제작된 유기 박막 트랜지스터의 이력특성 분석

구남희\*, 송승현, 최길복, 송근규\*\*, 김보성\*\*, 신성식\*\*, 정운하  
\*포항공과대학교 전자전기공학과  
\*\*삼성전자 LCD 총괄

## Hysteresis characteristics of organic thin film transistors using inkjet printing

Nam-Hee Goo\*, Seung-Hyun Song, Gil-Bok Choi, Keun-Kyoo Song\*\*, Bo-Sung Kim\*\*,  
Sung-Sik Shin\*\*, and Yoon-Ha Jeong  
\*Department of Electronic and Electrical Engineering  
Pohang University of Science and Technology  
\*\*LCD Business, Samsung Electronics Co., Ltd.  
E-mail : \*glion@postech.ac.kr

### Abstract

In this paper, the hysteresis characteristics by bias stress in organic thin film transistors using inkjet printing were investigated. Electron trapping increased threshold voltage for positive gate bias stress and hole trapping decreased threshold voltage for negative gate bias stress. From these phenomena, highly reproducible measurement method which minimized threshold voltage shift by choosing the proper range of gate voltage was suggested. Using this measurement method, we found that electron trapping as well as hole trapping had important influence on hysteresis characteristics.

### I. 서론

지금까지 유기 박막 트랜지스터의 연구는 성능 향상에 초점을 맞추어 왔으나, 현재는 이력현상(hysteresis)이 중요한 문제로 떠오르고 있다 [1], [2]. 이 현상을 설명할 수 있는 가능한 원인들이 몇몇 연구에서 주장되었지만, 지금까지의 현상들은 공정 기법이나 물질들, 또는 측정 상태에 따라 달라질 수 있다. 더욱이 인쇄법으로 제작된 유기 박막 트랜지스터에 대해서는 이런 연구가 많이 다루어지지 않았다.

본 연구에서는 저분자 유기물질을 용해하여 잉크젯

인쇄법으로 제작된 유기 박막 트랜지스터의 바이어스 스트레스로 인한 이력현상에 대해 분석하였다.

### II. 본론

본 연구에서는 잉크젯 인쇄법을 이용하여 활성층과 고분자 유기 절연층을 형성하여 top-gate 구조로 제작된 소자를 사용하였다. 그리고 정밀한 전기적 특성 분석을 위해 Agilent 4156C로 I-V 특성을 측정하였다. 그림 1은 게이트 전극에 -20V의 스트레스를 1000초 동안 가한 후, 선형영역( $V_{DS}=-1V$ )에서 측정한 결과와 소스와 드레인 전극을 바꿔서 측정한 결과와의 비교 그래프이다. 그림에서 보듯이 스트레스를 가한 후, 소스와 드레인 전극을 바꿔서 측정하여도 변화가 발생하지 않았다. 이를 통해 활성층과 절연층 사이의 계면에 발생하는 트랩 상태(trap state) 분포가 드레인 쪽에 국지적으로 분포되어 있지 않고, 골고루 분포되어 있음을 알 수 있다. 이 사실을 토대로 다음과 같은 실험들을 진행하였다.

그림 2는 게이트 전압 범위의 변화에 따른 선형영역에서 측정한 소자의 이력곡선이다. 그림 2.(a)에서 보듯이 게이트 전압을 양(+)전압에서 음(-)전압으로 스캔한 후, 다시 양(+)전압으로 스캔한 경우 시계 반대 방향으로 이력현상이 나타났다. 따라서 이력현상은 절연층

내부의 움직임은 이온(mobile ion)들에 의해서가 아니고 캐리어들의 트랩으로 인한 영향임이 확인되었다 [3], [4]. 그리고 게이트 전압 범위가 +10V~-20V인 경우에 10번을 반복 측정해도 이력곡선이 좌우로 이동하지 않고 일정하였다. 이는 높은 음전압(-20V)에 의해 정공이 트랩되어 나타난 영향을 높은 양전압(+10V)에서 전자가 트랩되어 상쇄시키거나, 트랩된 정공이 빠져 나와서 상쇄시키기 때문이다. 그리고 그림 2.(b)~(d)와 같이 전압 범위를 변화시키면 기 설명된 메커니즘에 의한 영향들의 균형이 깨지게 되고, 그로 인해 한 방향으로 이력곡선이 이동하게 됨을 확인하였다.

그림 3은 +10V~-20V 게이트 전압 범위에서의 게이트 누설전류 특성과 게이트 전극에 각각의 일정한 스트레스 전압을 1000초 동안 인가한 후 문턱전압의 변화를 관찰한 그래프이다. 그림에서 게이트 전극에 +10V의 스트레스를 가한 경우가 -20V 스트레스를 가한 경우보다 시간이 갈수록 트랩된 전하에 의한 열화가 더 많이 발생하는 것을 관찰하였다. 즉, +10V에서보다 -20V에서 더 많은 누설전류가 흘러 정공이 트랩될 확률이 더 높음에도 불구하고, 열화는 +10V에서 더 많이 일어났다. 따라서 스트레스에 의한 문턱전압의 변화가 다수 캐리어인 정공보다 소수 캐리어인 전자의 트랩에 의한 영향을 더 크게 받고 있음을 확인하였다.

### III. 결론

본 연구에서는 유기 박막 트랜지스터의 이력현상에 다수 캐리어인 정공의 트랩 뿐만 아니라 소수 캐리어인 전자의 트랩도 매우 중요한 영향을 미치고 있음을 확인하였다. 또한 적절한 게이트 전압 범위의 설정을 통해 높은 양(+전압)과 음(-전압)에 의해 발생하는 이력현상을 최소화하여 그림 2.(a)와 같이 반복 측정시 재현성 있는 측정 방법을 제시하였다.

### 참고문헌

- [1] K. P. Pernstich, et al., J. Appl. Phys., vol. 96, pp. 6431, 2004
- [2] R. J. Chesterfield, et al., J. Appl. Phys., vol. 95, pp. 6396, 2004
- [3] S. J. Zilker, et al., Appl. Phys. Lett., vol. 79, pp. 1124, 2001
- [4] M. S. So, et al., Digest of IMID05, vol. 2, pp. 1364, 2005

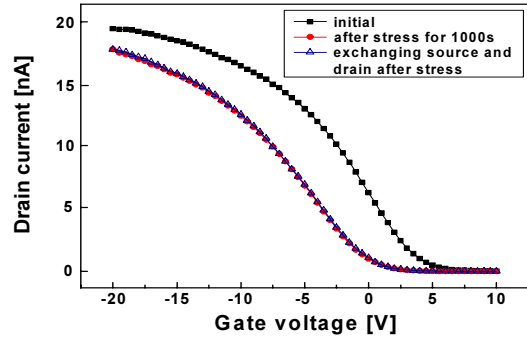


그림 1. 게이트 전극에 -20V의 스트레스를 1000초 동안 가한 후, 측정된 결과와 소스와 드레인 전극을 바꿔서 측정된 결과와의 비교 그래프.

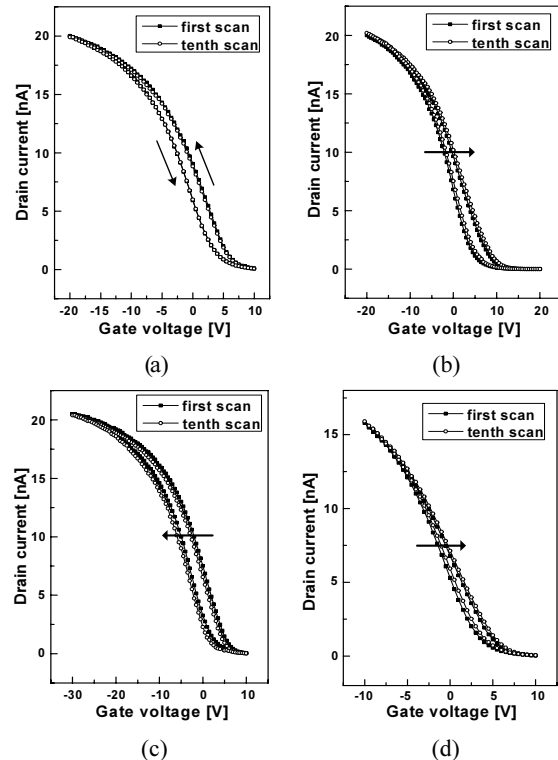


그림 2. 게이트 전압 범위 변화에 따른 이력곡선. (a) +10V~-20V, (b) +20V~-20V, (c) +10V~-30V, (d) +10V~-10V.

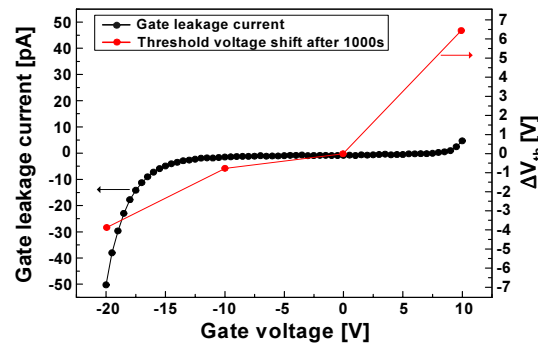


그림 3. 게이트 전압에 따른 누설전류 특성과 1000초 동안의 스트레스에 의한 문턱전압의 변화 그래프.