

MB-OFDM UWB 통신 시스템을 위한 고속 2-Parallel Radix-2⁴ FFT 프로세서의 설계

이지성*, 이한호**
인하대학교 공과대학 정보통신공학부

A High-Speed 2-Parallel Radix-2⁴ FFT Processor for MB-OFDM UWB Systems

Jeesung Lee*, Hanho Lee**
School of Information and Communication Engineering
Inha University
E-mail : * jeesung@inhaian.net, ** hhlee@inha.ac.kr

Abstract

This paper presents the architecture design of a high-speed, low-complexity 128-point radix-2⁴ FFT processor for ultra-wideband (UWB) systems. The proposed high-speed, low-complexity FFT architecture can provide a higher throughput rate and low hardware complexity by using 2-parallel data-path scheme and single-path delay-feedback (SDF) structure. This paper presents the key ideas applied to the design of high-speed, low-complexity FFT processor, especially that for achieving high throughput rate and reducing hardware complexity. The proposed FFT processor has been designed and implemented with the 0.18- μ m CMOS technology in a supply voltage of 1.8 V. The throughput rate of proposed FFT processor is up to 1 Gsample/s while it requires much smaller hardware complexity.

I. 서론

UWB 통신 시스템은 다중경로 환경에서 10m 거리에서 110Mb/s의 속도부터 2m 거리에서 480Mb/s 속도로 전송이 가능하며, 주파수 대역을 협대역(narrowband)으로 나누는 것이 가능하고 높은 전송률을 제공하므로 단거리 무선통신에 적합하다. 국제표준 IEEE 802.15.3a 중 하나인 Multi-Band Orthogonal Frequency Division

본 연구는 대학 IT 연구센터(인하 UWB-RC)육성 지원사업의 연구결과로 수행되었음

Multiplexing (MB-OFDM)은 528MHz의 대역폭을 가진다 [1][2]. FFT 프로세서는 MB-OFDM UWB 통신 시스템의 물리계층에서 높은 계산적 복잡도를 가진 모듈중에 하나이다. 따라서 본 논문에서는 초고속 저복잡도의 높은 throughput rate의 새로운 2-parallel data-path pipelined radix-2⁴ SDF (R2⁴SDF) 구조의 FFT 프로세서를 제안한다

II. 본론

IEEE 802.15.3a의 표준으로 정해진 MB-OFDM의 물리계층의 블록도는 그림 1과 같다[1][2]. 제안된 2-parallel data-path 128-point R2⁴SDF FFT의 블록도는 그림 2와 같다. 기본 구조는 Butterfly unit(BF1, BF2)과 복소 Booth 곱셈기, CSD 복소 상수 곱셈기, 레지스터로 구성되어 있으며, 특징은 다음과 같다.

- 2-parallel data-paths 구조로 설계하여 높은 throughput을 가능하게 한다.
- SDF 방법을 이용하여 메모리를 줄이고 하드웨어 비용을 절감한다.
- CSD 복소 상수 곱셈기를 이용하여 복소 Booth 곱셈기의 개수를 줄인다.
- 파이프라인된 복소 Booth 곱셈기를 이용하여 높은 클럭 속도를 얻을 수 있다.

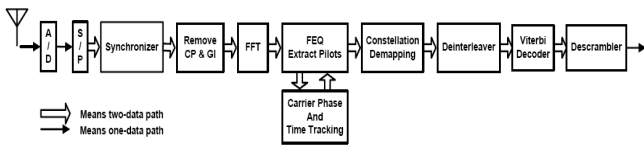


그림 1. MB-OFDM UWB 통신 수신기의 블록도.

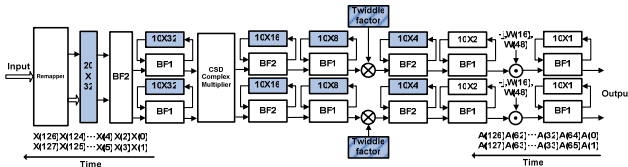


그림 2. 제안된 2-parallel data-path 128-point R²⁴SDF FFT 프로세서의 블록도.

Radix-2⁴ 알고리즘은 radix-2² 과 같은 수의 곱셈기를 가지고 있지만 전체 복소곱셈기의 절반을 상수곱셈기로 대체하여 연산의 복잡도를 감소하였다[5]. CSD 복소상수 곱셈기는 일정한 연산순서에 따라 twiddle factor W(8), W(16), W(24), W(48)를 순차적으로 곱하게 된다[6]. 그림 2 에서 보는 것과 같이 복소수 Booth 곱셈기와 partial product generator (PPG), carry save adder (CSA), carry lookahead adder (CLA), 감산기와 여러 twiddle factor 를 저장하기 위한 ROM 을 가진다.

III. 구현

MATLAB 시뮬레이션 결과에 기초하여 제안된 FFT 알고리즘은 10-bit 의 실수 값과 허수 값의 워드길이를 결정하였다. 제안된 128-point R²⁴SDF FFT 프로세서의 SQNR 은 약 27dB 이다. FFT 프로세서의 적절한 워드길이가 결정된 다음 프로세서의 구조를 Verilog 로 모델링하고 ModelSim 시뮬레이터를 이용하여 검증하였다. Verilog 코딩 결과값은 MATLAB model 의 결과값과 같음을 확인하였다. 함수 레벨의 검증 후 SYNOPSIS design complier 를 이용하여 적정 한 시간과 면적의 제약조건으로 FFT 구조를 합성하였다.

IV. 결론 및 향후 연구 방향

TSMC 0.18- μ m CMOS 기술의 1.8 V 공급전압 표준 cell library 가 사용되었다. 2-parallel R²⁴SDF FFT 는 메모리를 제외하면 Gate 수는 42,126 개이며 클럭 주파수는 약 500MHz 이다. 표 1 은 제안된 FFT 프로세서가 2-parallel data-path 와 파이프라인 기술을 이용하여 레지스터의 개수와 복소곱셈기를 감소시킬 뿐만

아니라 500MHz 의 높은 클럭 속도를 내는 것을 보여 준다. 우리가 제안한 구조의 가장 높은 throughput rate 은 500MHz 에서 1Gsample/s 를 얻었다. 제안된 FFT 프로세서의 throughput rate 는 MB-OFDM UWB 의 국제 표준을 만족하며 고속임에도 낮은 복잡도를 실현하였다.

표 1. 128-point pipelined FFT 구조의 성능 비교.

	2-parallel R ² ⁴ SDF (proposed)	4-parallel R ² ⁴ SDF [4]	4-parallel MRMDF [3]
Technology	0.18- μ m, 1.8V	N/A	0.18- μ m, 1.8V
# of registers	62	124	124
# of complex Booth multipliers	2	4	2
# of complex constant multipliers	2	4	4
Parallel data format	2 data-path	4 data-path	4 data-path
Radix	Radix-2 ⁴	Radix-2 ⁴	Radix-2, Radix-8
Word length	I: 10 bits Q: 10 bits	I: 12 bits Q: 12 bits	I: 10 bits Q: 10 bits
Clock rate	500 MHz	N/A	250 MHz
Throughput rate	1G sample/s	N/A	1G sample/s

참고문헌

- [1] A. Batra et al., "Multi-band OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a," IEEE P802.15-03/268r3, March 2004.
- [2] A. Batra, J. Balakrishnan, G. R. Aiello, J. R. Foerster, A. Dabak, "Design of Multiband OFDM System for Realistic UWB Channel Environment," IEEE Trans. On Microwave Theory and Techniques, vol. 52, no. 9, pp. 2123-2138, Sept. 2004.
- [3] Y-W. Lin, H-Y. Liu, and C-Y. Lee, "A 1-GS/s FFT/IFFT processor for UWB applications," IEEE Journal of Solid-State Circuits, vol. 40, no. 8., pp. 1726-1735, August 2005.
- [4] S-I. Cho, S-S. Choi, S-M. Lee, and J-G. Chung, "Design of IFFT/FFT Block for MB-OFDM UWB System," Proc. CDMA international conference (CIC2004), Oct. 2004.
- [5] J-Y. Oh, M-S. Lim, "Fast Fourier Transform Processor Based on Low-power and Area-efficient Algorithm", Proc. IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, pp. 198-201, August 2004.
- [6] S-M. Kim, J-G. Chung, and K. K. Parhi, "Low error fixed-width CSD multiplier with efficient sign extension," IEEE Transactions on Circuits and Systems-II, vol. 50, no. 12, Dec. 2003.