

# 부분 재구성 방법을 이용한 재구성형 FIR 필터 설계

최창석, 오영재, 이한호  
 인하대학교 정보통신공학부  
 e-mail : hhlee@inha.ac.kr

## Implementation of a FIR Filter on a Partial Reconfigurable Platform

Chang-Seok Choi, Young-Jae Oh, Hanho Lee  
 School of Information and Communication Engineering  
 Inha University

### Abstract

This paper presents our implemented, synthesized and tested on demand and partial reconfiguration approaches for FIR filters using Xilinx Virtex FPGAs. Our scope is to implement a low-power, area-efficient autonomously reconfigurable digital signal processing architecture that is tailored for the realization of arbitrary response FIR filters on Xilinx Virtex4 FPGAs. The implementation of design addresses area efficiency and flexibility allowing dynamically inserting and/or removing the partial modules to implement the partial reconfigurable FIR filters with various taps. This partial reconfigurable FIR filter design shows the configuration time improvement, good area efficiency and flexibility by using the dynamic partial reconfiguration method.

### I. 서론

FIR 필터는 디지털 신호처리를 위한 다양한 응용분야에 광범위하게 사용되는 필터이다. 영상 및 음성인식, 부호화 등 여러 응용 분야에서에서 전력소비, 처리 속도, 성능, 시스템 호환성 및 재사용이 요구되는 현 시점에서 재사용 가능한 구조로 하드웨어를 설계하는 것이 필요하다. 특히, 항공우주분야 등에서 내,외적 요소에 의한 장비 고장에 대응할 수 있는 능력을 가지고

있는 FIR필터의 구조에 지대한 관심을 보이고 있다. FIR 필터는 선형위상 및 안정성이 좋기 때문에 많은 응용분야에 적용할 수 있는 디지털 필터이다. 그러나 디자인이 바뀔 때 마다 재구성되어야 하는 기존의 FPGA 설계방식은 불편함이 있으며 가장 주된 문제는 FPGA 장치의 재구성에 소요되는 시간이다[1]. 그러므로 부분재구성 방법론이 탭 구조가 비슷한 FIR필터에 응용될 수 있으며, 재구성 시간, 탭 수의 유연한 구성 및 면적 효율적인 FIR 필터를 구현 할 수 있다.

### II. 재구성형 FIR 필터 설계

#### 2.1 부분 재구성 방법론

모듈 기반의 부분 재구성 방법은 처음 Xilinx에서 지원했으며[2][3], 최근에는 기존의 방법론보다 더 유연성을 보장하는 부분재구성 방법론을 제공한다. 가장 큰 특징은 근래에 가장 많이 사용되는 Virtex4 FPGA에서의 재구성이 가능해 졌으며, 재구성 할 수 있는 FPGA상의 면적의 제한이 설계자가 자유롭게 설정할 수 있도록 지원한다[4].

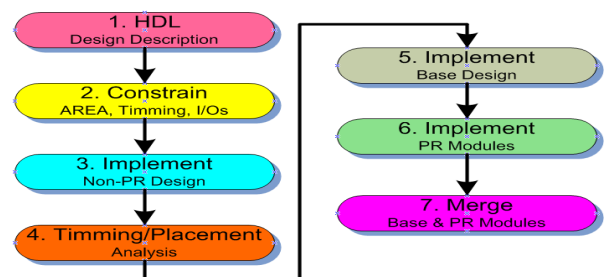


그림 1. 재구성 하드웨어 설계 흐름.

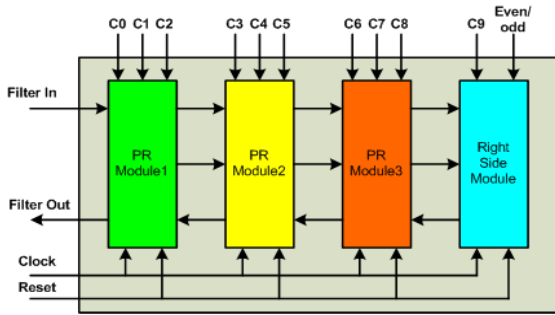


그림 2. 재구성형 FIR 필터.

### 2.2 재구성형 FIR 필터

설계한 재구성형 FIR 필터는 재구성형 모듈 3개와 최우단 모듈, 총 4개의 모듈로 구성된다. 재구성 모듈 간의 데이터 전송은 반드시 고정된 버스 매크로를 통하여 이루어진다[3]. 각각의 재구성 모듈은 2차, 4차, 6차의 필터 연산을 수행하는 하위 모듈로 재구성이 가능하며, 재구성형 필터는 최소 8차부터 20차까지 확장이 가능하도록 설계하였다. 그림3은 Virtex4 FPGA에서 라우팅된 재구성형 필터를 보여주고 있다. 점선 안의 부분이 재구성 가능한 모듈로 영역이 할당된 부분이다. 각각의 모듈별로 재구성이 가능하기 때문에, 상황에 따라 필요한 탭수 만큼 재구성이 가능하므로 유연한 필터 연산을 수행할 수가 있다.

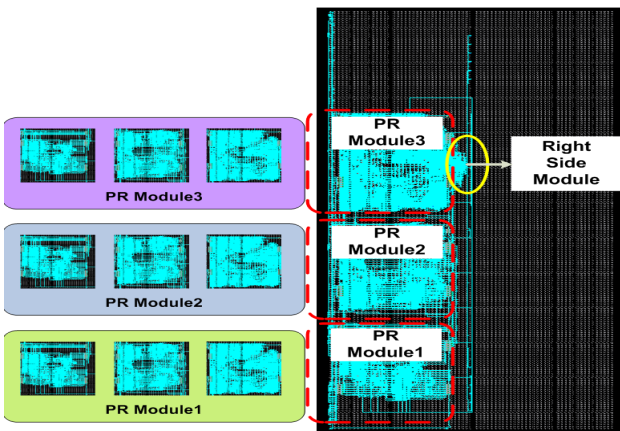


그림 3. 재구성 필터의 라우팅.

### III. 구현 및 검증

제안된 재구성형 FIR 필터는 Xilinx Virtex4 LX100 FPGA로 구현하였다. 각각의 재구성 모듈은 4600개의 Slice의 영역으로 할당하였고, 표1은 2차, 4차, 6차 재구성 필터 모듈이 차지하는 Slice의 사용량을 보여주고 있다. 설계한 재구성형 FIR 필터의 bit파일을 JTAG를 통해 Virtex4 LX100 FPGA에 다운로드 할 경우 113초의 구성시간이 소요된다. 그러나 재구성 모듈별 부분재구성을 할 경우 상당히 짧은 재구성 시간이 소요

표 1. 재구성 모듈별 Slice 사용량.

	Slice 개수		
	2차	4차	6차
재구성 모듈 1	1,500	2,395	3,288
재구성 모듈 2	1,501	2,393	3,289
재구성 모듈 3	1,501	2,393	3,290

표 2. 재구성 모듈별 FPGA 구성 시간.

	구성시간 (sec)		
	2차	4차	6차
재구성 모듈 1	7	10	10
재구성 모듈 2	7	9	9
재구성 모듈 3	8	9	11
전체 구성	113		

된다. 따라서 FPGA구성을 위해 전체를 재구성하는 경우보다 구성 시간에 있어서 월등한 효율을 보인다. 표 2는 재구성 모듈별 구성 시간을 보여주고 있다.

### V. 결론

본 논문에서는 부분 재구성 방법론을 이용한 재구성형 FIR 필터를 제안하였다. 부분적인 모듈에 대해서 재구성이 가능함에 따라, 전체를 재구성하는 설계 방식 보다 설계의 유연성과 면적 효율 및 짧은 재구성 시간을 보장한다.

앞으로는 부분 재구성 방법을 기반으로 하드웨어를 설계하고 마이크로프로세서와 메모리를 이용하여 Self-Reconfiguration이 가능한 하드웨어 시스템과 실시간 환경의 디지털 회로에 적용할 자동 부분 재구성 (Automatic Partial Reconfiguration) 대한 연구가 가능할 것이다.

### 감사의 글

본 연구는 대학 IT연구센터(인하 UWB-RC) 육성 지원사업의 연구결과로 수행되었음.

### 참고문헌

[1] D. Mesquita, F. Moraes, J. Palma, L. Moller, N. Calazanas, "Remote and Partial Reconfiguration of FPGAs: tools and trends," International Parallel and Distributed Processing Symposium, April 2003.

[2] XAPP 290 "Two flows for Partial Reconfiguration : Module based or Difference Based," Xilinx Inc. Sept 2004.

[3] Xilinx Inc., "Development System Reference Guide," www.xilinx.com.

[4] "Early Access Partial Reconfiguration User Guide" Xilinx Inc. Mar. 2006.