

DCT/DWT 프로세서를 위한 SoC 설계

*김영진, 이현수

경희대학교 전자계산공학과

e-mail : jerryjin@khu.ac.kr, leehs@khu.ac.kr

The Design of SoC for DCT/DWT Processor

*Young-Jin Kim, Hyon-Soo Lee

Dept. of Computer Engineering, Kyung Hee University

Abstract

In this paper, we propose an IP design and implementation of System on a chip(SoC) for Discrete Cosine Transform (DCT) and Discrete Wavelet Transform (DWT) processor using adder-based DA(Adder-based Distributed Arithmetic). To reduced hardware cost and to improve operating speed, the combined DCT/ DWT processor used the bit-serial method and DA module. The transform of coefficient equation result in reduction in hardware cost and has a regularity in implementation. We use Verilog-HDL and Xilinx ISE for simulation and implement FPGA on SoCMaster-3.

I. 서론

최근 영상처리, 영상 압축, 신호처리 등에 DCT (Discrete Cosine Transform)와 DWT (Discrete Wavelet Transform)연산이 널리 사용되고 있다. DCT 연산은 공간적 중복성을 제거 하고, 압축효율을 높일 수 있고, DWT 연산은 부대역(Subband) 영역으로 중요한 정보가 집중하는 효과가 있어 블록킹 현상을 해결할 수 있다는 장점이 있다.

이 두 연산의 장점을 사용하기 위해서 이미지 압축 (Image Compression)[1], 워터마킹(Watermarking)[2] 또는 스케일러블 비디오 코딩(Scalable Video Coding) 등의 분야에서 두 연산을 선택하여 쓰거나, 두 연산을 같이 사용한다. 기존에 구현된 하드웨어는 성능 향상을 위한 방법으로 시스틀릭 구조나 병렬 구조[3]를 사용하였다. 하지만, DCT와 DWT 연산에서 가장 많은 복잡도를 갖는 계수값과 입력에 대한 곱셈 연산량을 줄이는데는 한계성을 지닌다.

따라서, 본 논문에서는 하나의 프로세서를 사용하여, 두 개의 연산을 전부 수행할 수 있는 SoC를 설계하였다. 연산에 따라 프로세서를 재구성함으로써 DCT연산과 DWT연산을 전부 수행 할 수 있다. 또한 내적연산에 대한 곱셈의 수를 줄이기 위해 가산기-기반 분산연산(Adder-based DA)[4]을 이용하였다.

II. 제안하는 SoC 설계

2.1 가산기-기반 분산연산

가산기-기반 분산연산은 연산부를 가산-네트워크(Summation Network)로 구성하여 연산하는 방법이다. DCT와 DWT의 연산에서 사용되는 내적 연산은 식 (1)과 같다.

$$z = c^t x = \sum_{i=0}^{N-1} c_i x_i, \quad (1)$$

식 (1)에서 i 에 해당하는 N 은 계수(c)와 입력(x)의 갯수를 의미한다. 내적연산을 bit 별로 연산하기 위해서 입력값을 각 bit에 대한 2의 보수 표현으로 나타내면 식 (2)와 같이 나타낼 수 있다.

$$x_i = -x_0 + \sum_{j=1}^{B-1} x_{ij} 2^{-j}, \quad 0 \leq i \leq N-1 \quad (2)$$

식 (2)에서 j 는 bit의 위치, B 는 x 의 bit 수이다. 분산연산(DA)을 위해서 식 (2)를 식 (1)에 대입하면 식 (3)이 된다.

$$z = - \sum_{i=0}^{N-1} c_i x_0 + \sum_{j=1}^{B-1} \left[\sum_{i=0}^{N-1} c_i x_{ij} \right] 2^{-j} \quad (3)$$

각 비트 $j=0, 1, \dots, B-1$ 의 입력에 대해서 $\sum_{i=0}^{N-1} c_i x_{ij}$ 의 값을 가산 네트워크로 구성하여 연산을 수행하게 된다. 또한 공유항을 추출함으로써 연산기의 수를 줄일 수 있다.

2.2 제안한 DCT/ DWT Unit

DCT/ DWT Unit는 크게 6부분으로 구성되어 있으며, 그림1과 같다.

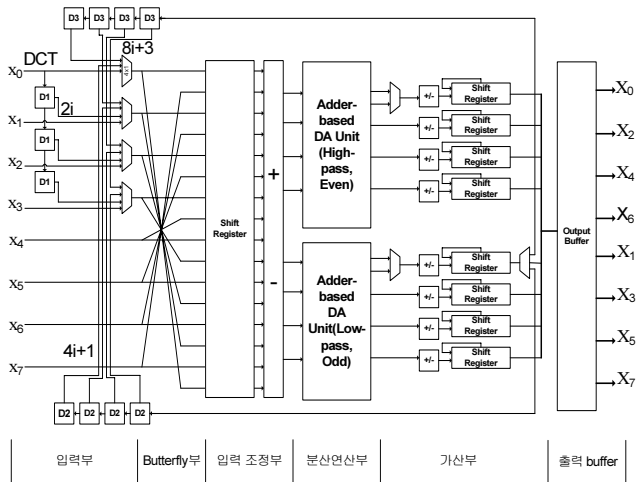


그림 1. 제안한 DCT/ DWT Unit의 구조

입력부와 Butterfly부는 DCT연산과 3단계 DWT에 대한 입력을 선택하는 부분으로 4×1 MUX (Multiplexer)와 지연을 위한 레지스터로 구성될 수 있다. 8-point DCT 연산을 수행하기 위해서는 x_0 부터 x_7 까지 병렬로 입력되며, DWT 연산을 수행하기 위해서는 x_0 만을 이용하여 입력값이 직렬로 입력하게 된다. 이때 MUX를 통해서 x_0 부터 x_3 까지는 각 단계에 맞는 DWT 입력을 선택하게 되며, x_4 부터 x_7 까지의 입력은 0을 입력하게 된다.

입력 조정부는 DCT 연산에서 $x_0 + x_7$ 과 $x_0 - x_7$ 의 연산을 수행하게 되며, 분산연산부의 입력으로 사용되게 된다. 분산연산부는 가산기-기반 분산연산부로 설계하였다. 가산부는 분산연산부에서 출력된 결과를 누적함으로써 최종적인 결과값을 얻을 수 있다. 이때 DCT일 경우에는 X_0 부터 X_7 까지의 결과를 얻을 수 있으며, DWT일 경우에는 각 단계의 고대역 통과 필터의 값이 X_0 를 통해서 출력되며, 저대역 통과 필터의 값이 X_1 을 통해서 출력된다. 또한 저대역 통과 필터의 값은 k 단계의 DWT 연산을 위해서 $k-1$ 단계에서 연산된 결과가 DeMUX를 통해서 지연된다.

2.2 제안한 시스템의 플랫폼 구현

SoC 설계를 위한 플랫폼은 그림2와 같다. 연산된 데이터를 저장하기 위한 On-chip memory IP와 DCT/ DWT IP로 구성된다. DCT/ DWT IP는 크게 다섯 부분으로 구성된다. AMBA slave FSM(Finite State machine)을 통해 들어온 신호는 제어 레지스터에 입력되며, 제어 레지스터에 들어온 값을 Decoding하여

DCT/ DWT 유닛을 제어하게 된다.

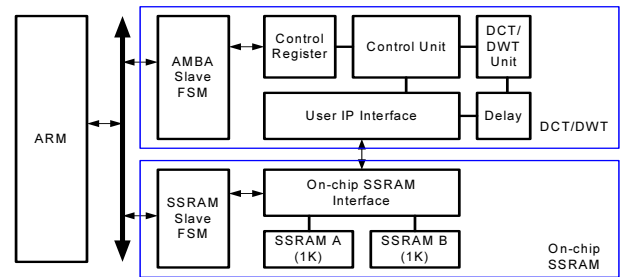


그림 2. Adder-based DA DCT/DWT를 위한 플랫폼 구성도

III. 시뮬레이션 및 결론

제안한 프로세서는 Verilog-HDL로 코딩하였으며, Modelsim을 사용하여 시뮬레이션 하였다. 또한 SoCMaster-3를 이용하여 구현하였다. 가산 네트워크를 구성하는데 있어 22개의 FA와 FF를 사용하여 구현하였다. 시뮬레이션 결과는 그림3과 같다.

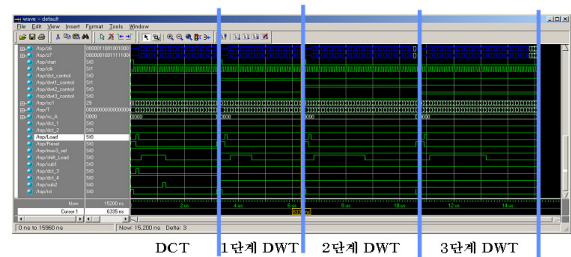


그림 3. DCT/ 3-단계 DWT 시뮬레이션 결과

본 논문에서는 하나의 SoC IP를 사용하여 DCT/ DWT 연산 처리를 수행하는 프로세서를 제안하였다. 또한 기존의 곱셈 연산 대신 가산기-기반 분산연산을 사용하였으며, 공유항을 추출하여 연산 속도의 향상 및 연산 모듈의 사이즈를 줄일 수 있었다.

참고문헌

- [1]Kondo. H, Kou. H, "Wavelet image compression using sub-block DCT", Proc Ninth IEEE international Conference on Networks 2001, pp 327-330, Oct. 2001.
- [2]Nikolaidis. A, Pitas. I, "Asymptotically optimal detection for additive watermarking in the DCT and DWT domains", IEEE Transaction on Image Processing, Vol 12, Issue 5, pp 563-571, May. 2003.
- [3]H. J. Lee, J. C. Liu, A. K. Chan, and C. K. chui, "Parallel Implementation of Wavelet Decomposition/ Reconstruction Algorithms", in proc. SPIE Wavelet Application Orlando, FL, Vol 2242, pp 248-259, Apr. 1994.
- [4]Chang. T-S, Chen. C, Jen. C-W, "New distributed arithmetic algorithm and its application to IDCT", IEE Proceedings G-Circuits Devices and Systems, Vol 146, Issue 4, pp 159 - 163, Aug. 1999.