Toggling MRAM cell 을 위한 CMOS Macro Model 과 Core Architecture 설계

고순복, 송하선, 김범수, 김대정
국민대학교 전자정보통신대학 전자공학부

CMOS Macro Model for Toggling MRAM Cell and Design of Core Architecture

SoonBog Go , Hasun Song, Bumsu Kim, Deajeong Kim
School of Electronical Engineering
Kookmin University
E-mail : kimdj@kookmin.ac.kr

Abstract

A macro model for Savtchenko switching mode MRAM (toggling MRAM) cells which can be utilized to develop the core architecture and the peripheral circuitry is proposed, and a writing scheme suitable to the toggling characteristic is developed. The sensing and writing operations of the toggling MRAM adopting the macro model are verified by Spectre simulations.

Ⅰ. 서론

Magneto-resistive random access memory(MRAM)은 전기도체의 저항이 주변 자기장에 따라 변화하는 자기 저항효과(magneto resistance effect)를 이용해 정보를 저장하는 방식으로, 단일 트랜지스터 위에 자기터널접합 구조를 갖는 MTJ(magnetic tunneling junction)셀로써 구성된다. 이 같은 MRAM 은 DRAM, 플래시메모리 등 기존 메모리반도체에 비해 정보 기록 및 재생 속도가 빠르며, 소비전력이 적고, 비휘발 성질을 갖는다[1]. 그러한 MRAM cell 로서 최근 Savtchenko switching mode MRAM cell 의 연구가 주목 받고 있다. 본 논문은 CMOS 공정으로써 셀을 제외한 모든 회로부의 동작을 검증하기 위한 toggling MRAM 셀의 CMOS macro model 을 제안한다. 또한 Savtchenko switching 모드의 특성에 따른 write 여부의 판별을 위한 write scheme 과 sensing scheme 을 제안한다.

Ⅱ. 본론

Savchenko switching mode MRAM 에서는 anti-parallel 상태를 유지하는 독창적인 Synthetic Anti-Ferromagnetic (SAF) layer 을 이용하여 write current 에 의해 셀의 자화 방향을 toggling 시키는 구조를 채택하고 있다. 이러한 이유로 Savtchenko switching mode MRAM 은 toggling MRAM 이라 부른다[2].

1. Toggling MRAM Cell CMOS macro model

기존 MRAM 에 사용되던 magnetic tunneling junction (MTJ) cell 의 write 기법은 write 전류가 지나간 위치의 모든 셀들이 절반 가량의 에너지를 전달받는 half select write 방식을 채택하고 있다. 이러한 방식은 절반의 에너지를 받은 cell 들로 하여금 저장된 data 를 손상시킬 위험을 초래하게 된다. 그러나 그림 1 에서와 같이 SAF Layer 로 구성된 Savtchenko model 의 경우 bit line 과 digit line 을 흐르는 전류의 half select 에 그림과 같은 sequence 가 이루어지기 때문에 안정하다[2]. 기존의 MRAM cell macro-model 은 전류의 방향성에 따라 저항을 선택한다[3]. 그러나 toggling MRAM cell macro model 은 신호의 인가 유무에 의하여 기존 상태의 toggle 변화 동작만을 수행하게 된다. 그림 2 는 toggling MRAM cell macro model 로서 write enable(WE)신호에 따라 DGL 과 bit line 에 50%의 duty 비를 갖는 전류가 흐르면 latch 의 emulation 동작에 따라 각각 스위치 S 와 SB 의 상태를 결정한다. 이러한 S, SB 의 상태에 따라서 MTJ stack 으로서 모델링된 MOS Ron 저항을 통해서 Rhigh , Rlow 의 저항값을 선택하게 된다.

2. Toggling MRAM sensing scheme

그림 4 와 같이 1T1MTJ MRAM 구조를 사용하면 bit line 과 비교할 수 있는 저항을 갖는 reference High 와 reference Low 를 통하여 sensing 한다. MTJ 양단에 수~수백 mV 이상이 걸리면 cell 이 파괴되기 때문에 0V 로 equalizing 시킨 후 active 명령에 의해서 전류가 흐르면 WL 이 선택된 cell 에 전류의 경로가 결정된다. 그러나 수 십 mV 는 BLSA 를 동작시키기에는 충분하지 못하기 때문에 BLSA 앞 단에 증폭 단을 추가해서 sensing 시에는 BLSEL 을 VDD 에서 VDD/2 로 낮추어 common-gate 증폭모드로 동작시킨다. BLSA 동작 신호인 SAE 를 인가시키면 BLSA 양단은 CMOS full swing 한다.

3. Toggling MRAM Writing scheme

Writing scheme 의 수행 시 cell 의 toggling 특성에 따라 write 여부를 결정하는 것은 toggling MRAM 전체의 소모전류를 줄이는 큰 이점이다. 이에 따라서 그림 5 와 같이 bit line cache 의 data 를 충분히 full swing 하기 위해 differencial amplifier, buffer 를 거친 후 comparator 를 통해 DIN 의 입력 Data 와 Sense Amp

에 저장된 기존 Data 를 서로 비교한다. 서로 다른 신호일 경우 toggle 신호를 발생 시킨다. 이러한 toggle 신호에 따라서 sense amp. 는 자동으로 DIN 에 의하여 값이 변화되며 cell 의 write driver 를 동작시켜 bit line 과 digit line 에 전류를 발생시킨다.

III. 실험 결과

모의 실험 결과는 0.18um 2 poly 6 metal CMOS 공정을 통하여 실험하였다. 그림 3 은 WE 신호와 DGL 신호가 50% 의 duty 를 가지고 인가될 경우 발생하는 SW 신호에 의하여 S 와 SB 의 상태가 변화하는 것을 확인 할 수 있다. 이러한 macro model 을 이용한 sensing scheme 에서는 active 신호에 의한 RAS 에 의해서 Bit line 이 결정되면 이를 equalization 한 후 10uA 의 ISRC 를 인가하여 MTJ stack 의 저항값을 측정한다. 이에 따른 전압 변화 차이를 증폭하여 sense amplifier 에서 감지하여 full swing 을 한다. 그림 6 을 통하여 확인 할 수 있다. 그림 7 은 write 여부를 결정하기 위한 sense amp 의 cache 정보를 받아 입력 전압 DIN 과 비교한다. DIN 과 기존의 sense amp 의 값에 따라서 toggle 신호를 발생시키고 이 toggle 신호에 따라서 DIN 이 sense amp 의 값을 변화시킴에 따라 toggle 신호는 down 된다.

IV. 결 론

본 논문에서는 Savtchenko Switching Mode 의 MRAM Cell CMOS macro model 을 제안하고 이를 통하여 Memory core 블락의 설계를 용이하게 할 수 있도록 하였으며 Reference Cell Resistor 를 이용한 voltage sensing scheme 을 제안하고 이를 검증하였다. 또한 toggling MRAM 의 고유 특성인 toggle 특성에 의한 wirte 수행 여부를 판별할 수 있는 writing scheme 을 제안하고 이를 검증하였다.

Acknowledgement

This work was supported by KOSEF through the grant No. R01-2003-000-11639-0 from the Basic Research Program. The authors would like to thank to CAD tool support from IDEC

참고문헌

[1] Brad N. et al “The science and Technology of Magneto-resistive tunneling Memory” IEEE Trans, vol, 1. NO 1, MARCH 2002.

[2] L. Savtchenko et al., “Method of Writing to Scalable Magneto-resistance Random Access Memory Element” U. S. patent 6 545 906 B1, Apr, 8 , 2003.

[3] D.J.Kim, J.H.Ko “High cell-efficiency synchronous MRAM adopting unified bit-line cache”IEE electronics letters 7th August 2003 vol. 39, No. 16 .

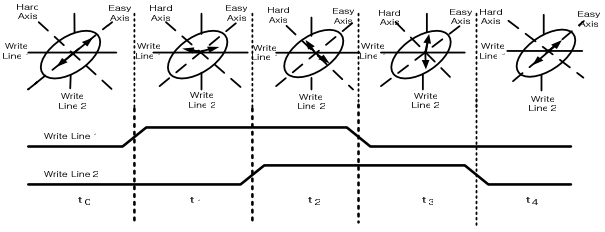

그림 1. Toggling write operation

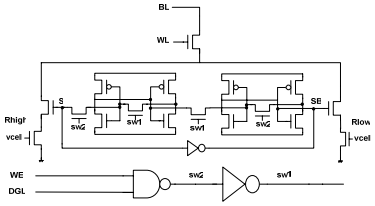

그림 2. 1T1MTJ toggling MRAM macro model

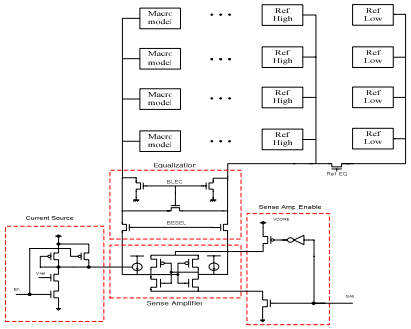

그림 3. Sensing scheme block diagram

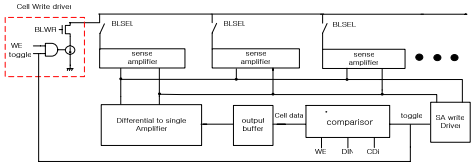

그림 4. Writing scheme block diagram

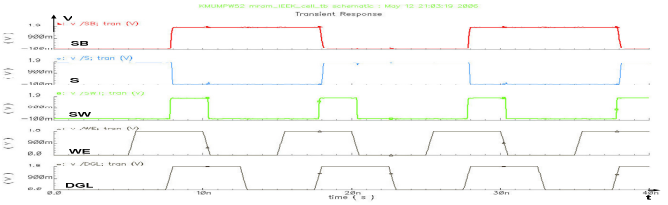

그림 5. MRAM cell toggling operation simulation result

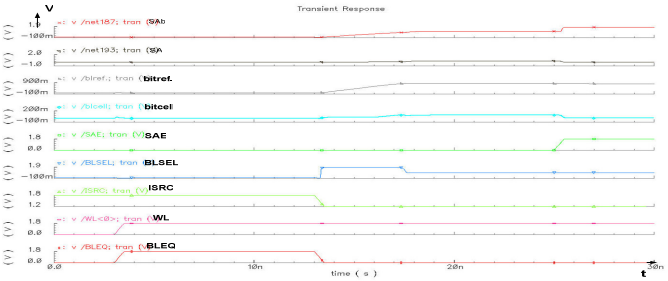

그림 6. Sensing scheme simulation result

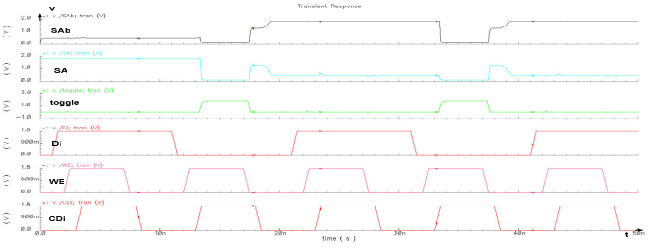

그림 7. Writing scheme simulation result