

# Non-redundant Successive Approximation Register를 적용한 A/D 변환기의 설계

이종명, 유재우, 김범수, 김대정

국민대학교 전자정보통신대학 전자공학과

## Design of A/D convertor adopting Non-redundant Successive Approximation Register

Jongmyoung Lee, Jaewoo You, Bumsoo Kim, Deajeong Kim

Integrated Circuit Design Laboratory

School of Electrical Engineering, Kookmin University

E-mail : kimdj@kookmin.ac.kr

### Abstract

Successive approximation A/D converters have an advantage of small chip area and simple algorithm. We propose an improved non-redundant successive approximation register (SAR) which can be incorporated in successive approximation A/D converters. The proposed SAR validates the preset state as the 1<sup>st</sup> reference voltage to the comparator. Two redundant clock cycles in the typical design could be eliminated in the proposed A/D converter.

### I. 서론

일반적으로 그림1과 같이 successive approximation A/D converter는 comparator, D/A converter와 digital control logic인 successive approximation register (SAR)로 구성된다. SAR는 comparator의 output값에 따라 연속적으로 각 bit의 값을 결정하는 역할을 한다[1]. 본 논문에서는 SAR 구조 중에서 일반적인 non-redundant SAR 구조와 제안된 non-redundant SAR 구조를 사용하여 효율적으로 데이터를 처리하는 방식에 대하여 기술한다.

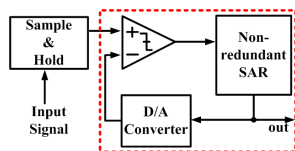


그림1. successive approximation A/D 변환기

### II. 본론

#### 2.1 일반적인 non-redundant SAR

그림2와 같이 일반적인 non-redundant SAR에서는 그림3의

Kth\_FF의 code 값에 따라 mode가 결정된다. MSB\_FF의 Shift단자 VDD입력이 들어오면 그림1의 comparator(comp)로부터 data를 받고 그 다음 clock에 K+1\_FF이 comp의 입력을 받게 되며 MSB\_FF는 memorization mode상태가 된다. 순차적으로 VDD입력이 오른쪽으로 이동하면서 mode를 바꾸어주며 comp로부터 data를 받게 된다. 그 결과 그림4과 같이 2 clock후에 data가 나오기 시작한다.

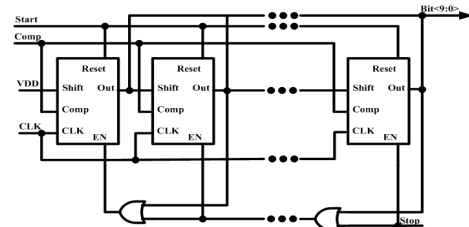


그림2. 10bit multiple input SAR

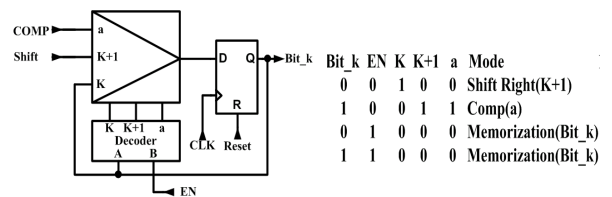


그림3. Kth\_FF의 내부 구조

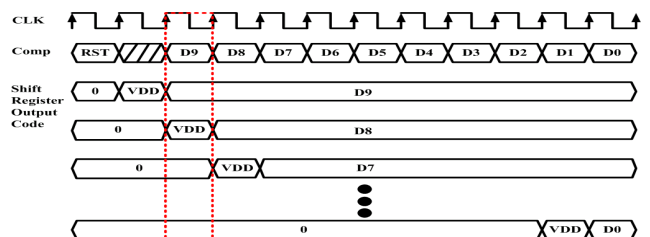


그림4. 일반적인 non-redundant SAR의 타이밍도

2.2 제안하는 non-redundant SAR를 적용한 ADC

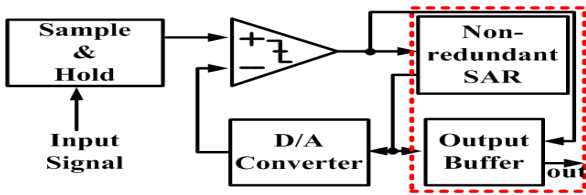


그림5. 전체적인 블럭도

그림5는 제안하는 A/D converter를 나타내었다. 제안하는 non-redundant SAR의 기본 동작은 일반적인 non-redundant SAR와 동일하며 MSB\_FF에만 reset 신호인가 시 바로 VDD가 되어 data를 load 할 수 있는 comp mode로 들어가도록 그림6과 같이 구조적으로 변화를 주었다. 그 결과로 일반적인 non-redundant SAR와 다르게 그림7의 타이밍도에서 보는 것과 같이 1 clock 후에 바로 data가 나오게 된다. 따라서 제안하는 non-redundant SAR 구조가 data를 처리하는 속도 면에서 1 clock이 빨라지게 된다.

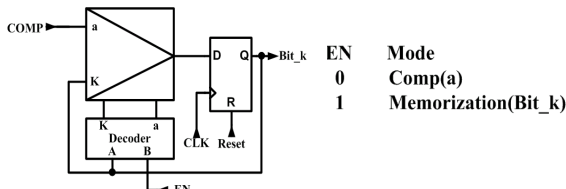


그림6. 제안하는 MSB\_FF의 내부구조

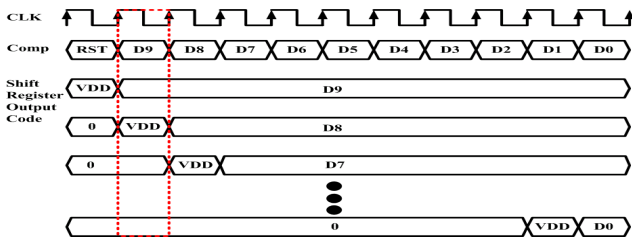


그림7. 제안하는 non-redundant SAR의 타이밍도

그림8에서 clock의 효율적인 사용을 위해 D0의 data를 받을 동안의 시간을 절약하는 대신 D1의 data가 나오는 시간에 나머지 data를 저장하고 LSB인 D0의 data는 comparator에서 나온 data를 대체함으로써 일반적인 non-redundant SAR 구조를 이용하여 구현할 때 보다 전체적으로 2 clock을 절약한 효과를 얻을 수 있다.

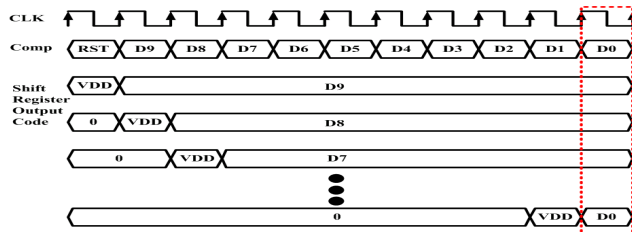


그림8. non-redundant SAR의 타이밍도

III. 구현

그림9는 그림1을 simulation한 결과이고 그림10과 그림11은 그림5를 simulation한 결과이다. 위에서 언급한 것과 같이

LSB를 data control method를 통해 총 2 clock을 절약하였다.

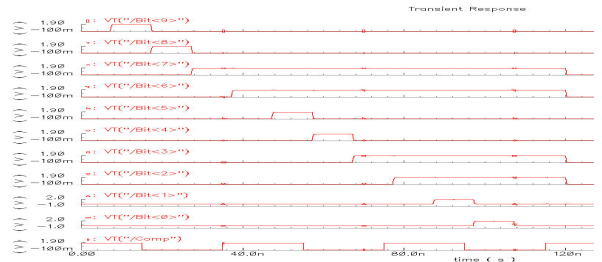


그림9. 일반적인 SAR로부터 나온 output과 비교기 출력

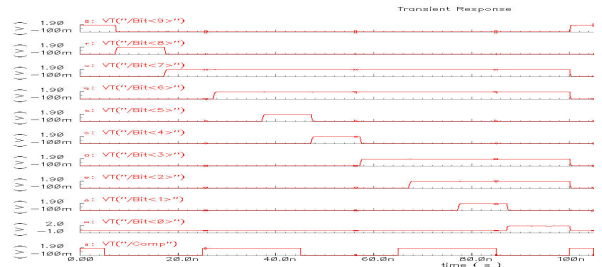


그림10. 제안하는 SAR로부터 나온 output과 비교기 출력

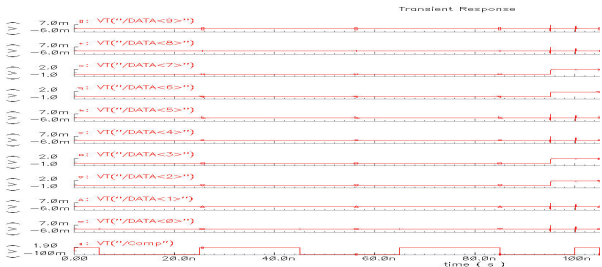


그림11. 제안하는 SAR의 output buffer로부터 나온 10\_bit data와 비교기 출력

IV. 결론

본 논문에서는 일반적인 non-redundant SAR가 shift mode에서 data를 load하는 comp mode로 변환하기 위한 시간을 절약하고 효율적으로 clock을 사용하므로써 data 처리속도를 높였다. 결론적으로 제안하는 non-redundant SAR 구조가 일반적인 non-redundant SAR 구조보다 1 clock 만큼 빨리 data를 처리하고 효율적인 data control method방식을 사용하므로써 1 clock 더 절약하여 data를 처리 할 수 있다. 따라서 전체적으로 2 clock을 절약하여 bit 수 만큼의 cycle안에 1개의 sample을 처리할 수 있다.

Acknowledgement

This work was supported by KOSEF through the grant No. R01-2003-000-11639-0 from the Basic Research Program. The authors would like to thank to CAD tool support from IDEC

참고문헌

[1] A. Rossi and G. Fucili "Nonredundant successive approximation register for A/D converters," *Electron. Lett.*, vol. 32, pp. 1055-1057, June 1996.