SIMULINK 를 이용한 Fractional-N 주파수합성기의 모델링 기법

김인정, 서우형, 안진오, 김대정

국민대학교 전자정보통신대학 전자공학부

A SIMULINK Modeling for a Fractional-N Frequency Synthesizer

Injeong Kim, Woohyong Seo, Jinoh Ahn, Daejeong Kim
Integrated Circuit Design Lab
School of Electronical Engineering, Kookmin University
E-mail : kimdj@kookmin.ac.kr

Abstract

This paper presents behavioral models using SIMULINK and Verilog-a for a PLL based fractional-N frequency synthesizer. The SIMULINK modeling was built in the frequency-time mixed domain whereas the Verilog-a modeling was built purely in the time domain. The simulated results of the two models were verified to show the same performance within the error tolerance. This top-down design method can provide the readiness for the transistor-level design

I. 서론

최근 무선 통신의 발달로 RF 신호처리의 중요성이 높아지고 있다. 그 중 PLL기반의 주파수 합성기는 주파수의 상향변환과 하향변환을 주관하는 RF신호처리의 핵심 부품이다. PLL 기반의 주파수 합성기는 여러 설계사양이 trade off 관계에 있어서 bottom up 방식으로 검증하기가 어렵기 때문에[1] PLL 전체적인 사양에 따른 각 블록의 사양과 동작특성을 효율적으로 파악하기 위해서는 그림 1과 같은 top down 방식의 검증이 필요하다. 또한 설계사양이 높아지고 방법이 복잡해짐에 따라 트랜지스터 레벨의 설계에 대한 부담을 줄이기 위한 모델링은 필수적인 과정이다.

본 논문에서는 SIMULINK와 Verilog-a simulation을 이용하여 PLL을 모델링함으로서 빠른 시간에 시스템의 특성을 확인하고 성능을 검증하는 방법에 대한 가이드라인을 제시하고자 한다.

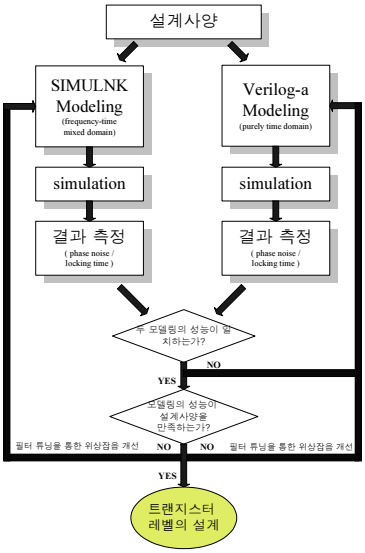


그림 1. 모델링 흐름도

II. 본론

PLL을 모델링하기 위해서는 응용분야에 따라 설계 사양이 결정 되어야 한다. 본 논문은 RFID 와 GSM등의 900MHz대역 무선통신분야에 응용이 가능하도록 표 1과 같이 설계사양을 정하였다.[2]

표 1. 본 논문에서 구현한 주파수 합성기의 설계사양

기준 입력 주파수	12.5MHz
위상잡음	-100 dBc@1MHz offset
출력주파수 범위	900~950MHz
채널 Band width	200K Hz

먼저 블록의 특성을 고려하여 그림 2과 같이 PFD(Phase Frequency Detector), Charge Pump, Loop filter, VCO, Multi divider와 Delta-sigma modulator등을 모델링하고 그림 1의 흐름도에 따라 시뮬레이션 및 측정을 한다.

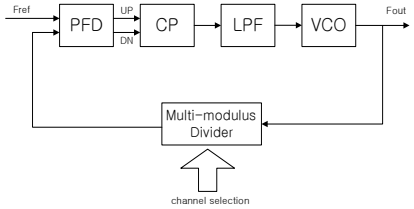


그림 2. Fractional- N 주파수 합성기의 개념도

이에 따라 PLL의 설계사양 및 loop 안정도를 만족하는 각 블록의 구체적인 사양이 결정된다. 특히, 주파수 합성기의 위상잡음특성은 대역폭과 루프필터에 민감하므로 시뮬레이션을 통한 정확한 분석이 필요하다.

그림 3과 같은 SIMULINK Modeling은 frequency-time mixed mode로 modeling이 가능하고, PLL 각 블록의 behavioral modeling을 통해 위상잡음 성능을 쉽게 확인할 수 있다.

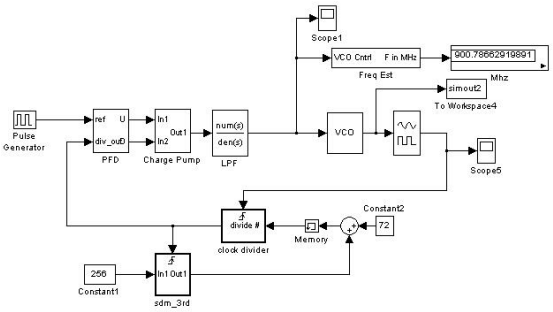


그림 3. Fractional-N 주파수 합성기의 SIMULINK modeling

SIMULIK 시뮬레이션을 통해 결정한 구체적인 설계사양을 이용하여 그림 4와 같이 실제 회로에 적용 가능한 Verilog-a로 PLL을 모델링하여 성능을 확인하였다.

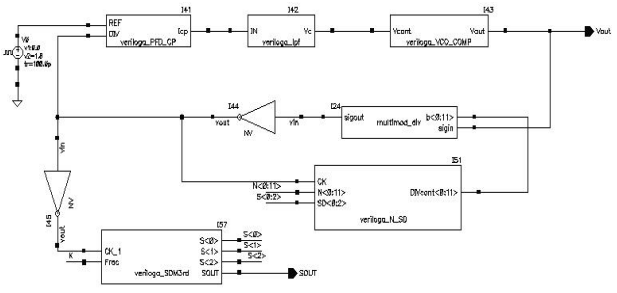


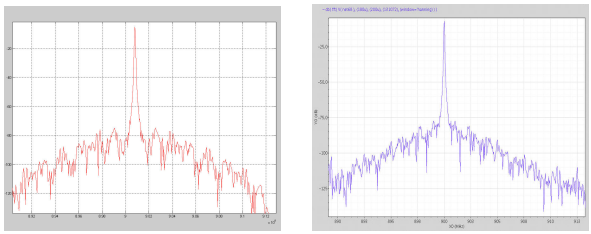
그림 4. Fractional-N 주파수 합성기의 Verilog-a modeling

Verilog-a modeling 역시 시스템의 특성만을 고려한 behavioral 모델링으로, 시뮬레이션 시간이 짧다. 또한 실제회로와 호환이 가능하기 때문에 트랜지스터 레벨로 설계할 시 각 블록을 시스템 특성에 적합하게 구현하고 검증하는데 용이하다.

Ⅲ. 구현

본 논문은 3rd-order Mash-type의 델타시그마 모듈레이터를 이용하여 Fractional-N 주파수 합성기의 Fractional spur 영향을 최소화하였다[3]. VCO의 이득은 30MHz/V, Charge Pump 의 전류는 50uA이고 divider는 71~74로 분주하는 4-modulus multi divider를 사용하였다.

그림 5는 SIMULINK 시뮬레이션을 한 결과를 나타내었다. 위상잡음은 -100.4dBc@1MHz offset로 측정되었고 Verilog-a 시뮬레이션은 위상잡음이 -98 dBc@1MHz로 측정되었다.



(a) **(b)**

그림 5.

(a) Simulink 모델링의 phase noise, (b)Verilog-a 모델링의 phase noise

Ⅳ. 결론 및 향후 연구 방향

본 논문에서는 SIMULINK와 Verilog-a 를 이용하여 델타시그마를 이용한 PLL기반의 fractional-N 주파수 합성기를 모델링함으로서 빠른 시간에 시스템의 특성을 미리 예측하고 분석하는 방법을 제안하였다. 이를 통해 전체 시스템사양을 고려한 단위 블록의 사양들을 쉽게 추출해 낼 수 있기 때문에 실제 회로 설계 시 설계시간을 단축시켜 효율적인 설계가 가능하다.

Acknowledgment

본 논문은 정보통신부출연금등으로 수행한 정보통신연구개발사업의 연구결과이며, IDEC의 tool지원에 의하여 결과를 검증하였습니다. 이에 깊은 감사를 드립니다.

참고문헌

[1] S.Brigati and F.Francesconi, “Modeling of Fractional-N division frequency synthesizers with Simulink and Matlab,” IEEE Electronics, Circuits and Systems, vol.2, pp.1081-1084, Sept. 2001.

[2] Amr M. Fahim, Mohamed I. Elmasry, “A Wideband Sigma-Delta Phase-Locked-Loop Modulator for Wireless Application,” IEEE Analog and Digital Signal Processing, vol.50, No.2, pp53-62, Feb. 2004.

[3] Tom A.D. Riley, Miles A.Copeland and Tad A. Kwasnoewski, “Design and Realization of a Digital ΔΣ Modulator for Fractional-n Frequency Synthesis,” IEEE Transactions on Vehicular Technology, vol. 48, No. 2, March 1999.