

Fractional-N 주파수 합성기를 위한 위상 잡음 특성이 개선된 전압 제어 발진기

안진오, 서우형, 김인정, 김대정
국민대학교 전자정보통신대학 전자정보통신공학부

Optimized Voltage Controlled Oscillator(VCO) for Fractional-N Frequency Synthesizer

Jinoh Ahn, Woohyeong Seo, Injeong Kim, Daejeong Kim
School of Electrical Engineering
Kookmin University
E-mail : kimdj@kookmin.ac.kr,

Abstract

In this paper, we propose a voltage-controlled ring oscillator (VCO) for a 900 MHz low-noise fractional-N frequency synthesizer. The VCO delay cell is based on an nMOS source-coupled pair with load elements [1] and a combined tail current sources which consist of a large and a small current source to control the integer and fractional behaviors, respectively. The Spectre simulation results of the scheme in a 0.18 μ m CMOS process show the accurate control of the KVCO better than the conventional one.

I. 서 론

최근 RF 통신 기술의 비약적인 발전으로 통신 시스템의 소형화와 저전력화를 위한 연구가 활발히 진행되고 있다. 이러한 RF 통신 시스템에서 PLL(phase locked loop)을 이용한 주파수합성기는 신호의 변복조 과정에서 중요한 기능을 담당한다. 주파수합성기는 분주비에 따라 Integer-N type 과 Fractional-N type 으로 나누어진다. Integer-N 분주기를 사용한 주파수합성기는 루프 대역폭과 채널간격 사이의 trade-off 로 인해 루프 대역폭을 넓게 유지하면서 좁은 채널간격을 필요로 하는 이동통신 시스템에는 적합하지 않다. 한편, Fractional-N type 의 주파수합성기는 분수 배로 입력 주파수를 분주

함으로 좁은 채널 간격을 유지하며 넓은 루프 대역폭을 구현할 수 있다. 이러한 주파수 합성기의 잡음, 전력 소모와 locking time 등의 전반적인 특성은 핵심 블록인 voltage-controlled oscillator (VCO)의 성능에 의해 크게 좌우된다.

기존 RF 통신을 위한 VCO 는 높은 주파수 대역에서의 동작을 위해 큰 VCO 의 gain 을 요구한다. 그러나 fractional-N 주파수 의 경우 매우 좁은 채널 간격을 구현해야 하기 때문에 이러한 VCO 로는 정밀하고 깨끗한 출력 주파수를 발생시키기 어렵다. 본 논문에서는 특정한 응용분야에 따라 동작 영역과 Kvco 의 크기를 유연하게 변화 시킬 수 있는 VCO 를 제안한다.

II. 본 론

그림 1-(a)는 conventional VCO 의 delay cell 의 구조이다. 공급 전압 잡음을 감소 시키기 위해 차동 구조를 사용하였고, 래치를 이루는 pMOS pair M3, M4 는 positive 피드백 효과로 고속 동작이 가능하도록 한다. 그러나 이러한 구조의 VCO 는 차지 펌프의 출력이 tail current 를 직접 제어한다. 이 방식의 VCO 는 높은 VCO gain 으로 인한 민감성 때문에 고주파 응용분야에 적용할 경우 위상잡음 특성이 좋지 않다.

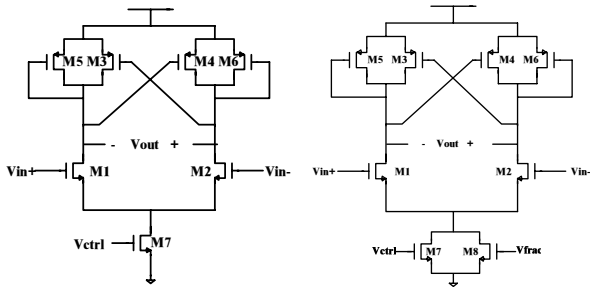


그림 1.(a) Conventional delay cell (b) Proposed delay cell
그림 1-(b)는 제안하는 delay cell 의 구조이다.

Fractional-N 주파수 합성기의 분주비가 다음 식과 같이 정수부분과 소수부분으로 나누어지는 것을 이용하여

$$F_{out} = F_{ref} (N + K / M) \tag{1}$$

$$= F_{int} + F_{frac}$$

tail current 를 integer-current path(I_{int})와 fractional current path(I_{frac})로 분리하여 제어한다. Integer-current path 는 분주기의 정수부분(N)에 따라 M7 의 게이트 전압이 형성되며 주된 전류량을 결정한다. 차지펌프의 출력 전압 (V_{ctrl})은 기존의 방법처럼 fractional current path 의 전류량을 제어하여 낮은 K_{vco} 로 원하는 frequency purity 를 만족시킬 수 있다.

III. 구 현

본 논문에서 제안한 delay cell 을 이용하여 그림 2 와 같이 4 차 링 오실레이터를 구현하였고 검증을 위해 Cadence 에서 제공하는 Spectre 환경에서 표준 CMOS 0.18um 공정으로 시뮬레이션 하였다.

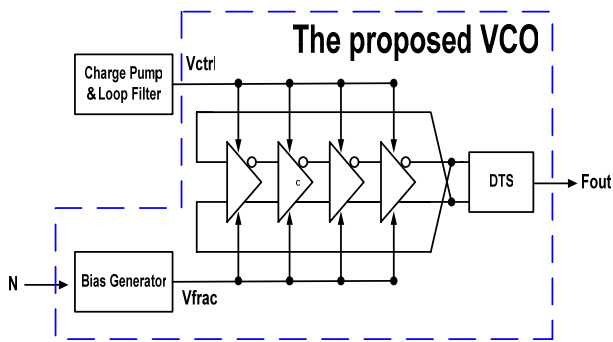


그림 2. 제안한 VCO 의 블록도

그림 3 은 제안하는 VCO 의 정수 부분에 따른 gain 을 나타내었다. 870M~980MHz 까지 100MHz/V 의 gain 을 유지 하는 것을 확인하였고, difference to single 블록을 거치며 duty 가 50%인 pulse 파형을 출력한다.

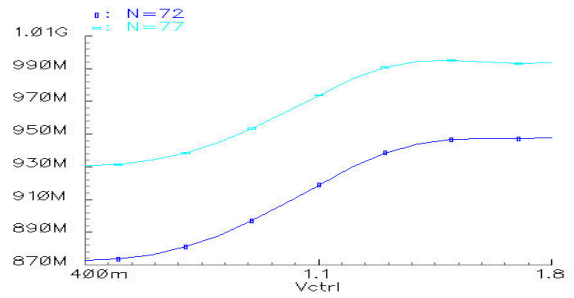


그림 3. (a)제안한 VCO 의 전압-주파수 특성



그림 3.(b) 900MHz 출력

IV. 결론 및 향후 연구 방향

기존의 높은 gain 을 갖는 VCO 는 빠른 settling time 과 wide tuning range 를 만족시킨다. 그러나 locking 후 Vctrl 전압의 흔들림에 민감하여 높은 위상 잡음이 발생한다. 제안하는 VCO 는 dual paths 를 갖는 delay cell 을 이용하여 분주비의 정수부분을 입력 받아 알맞은 free-running 주파수로 settling time 을 만족시키고 wide tuning range 를 유지할 수 있다. 또한, 낮은 VCO gain 으로 Vctrl 전압에 insensitive 하여 locking 후의 위상 잡음 특성을 효과적으로 개선한다.

Acknowledgement

본 논문은 정부 통신부 출연금 등으로 수행한 정보통신개발사업의 연구결과이며, IDEC 의 tool 지원에 의하여 결과를 검증하였습니다. 이에 깊은 감사를 드립니다.

참고문헌

- [1] William Shing Tak Yan and Howard Cam Luong "A 900-MHz CMOS Low-Phase-Noise Voltage-Controlled Ring Oscillator," IEEE trans. on Circuit and Systems, vol.48, NO.2, Feb. 2001.
- [2] B. Razavi, "A study of phase noise in CMOS oscillators," IEEE J.Solid State Circuits, vol. 31, pp. 736-744, May 1997.
- [3] J.G. Maneatis, M.A. Horowitz, "Precise delay generation using coupled oscillators," IEEE J.Solid-State Circuits, vol.29, pp. 1273-1282, Dec. 1993.
- [4] Woogeun Rhee, Bang-sup Song and Akbae Ali, "A 1.1-GHz CMOS Fractional-N Frequency Synthesizer with a 3-b Third-Order $\Delta\Sigma$ Modulator," IEEE J.Solid-State Circuits, vol.35, NO.10, Oct. 2000.