

800 nA Quiescent Current 를 가지는 저전압 200mA급 DC-DC Buck 변환기

*허동훈, 김기태, 김인석, 남현석, 노정진

200mA low power DC-DC buck converter with 800nA quiescent current

*Donghun Heo, Kitae Kim, Inseok Kim,
Hyunseok Nam, Jeongjin Roh
School of Electrical and Computer Engineering
Hanyang University
e-mail : *analogh2d@ihanyang.ac.kr

Abstract

As power supply managements become more important than before, supplying a stable system voltage is becoming more and more critical.

In this study we propose to use the advantage of weak inversion region of MOS transistors. Analog system, which uses weak inversion region, could work in low voltage environment and reduce power consumption.

The proposed buck-converter in weak inversion region of MOS transistor has been verified by silicon chip.

I. 서론

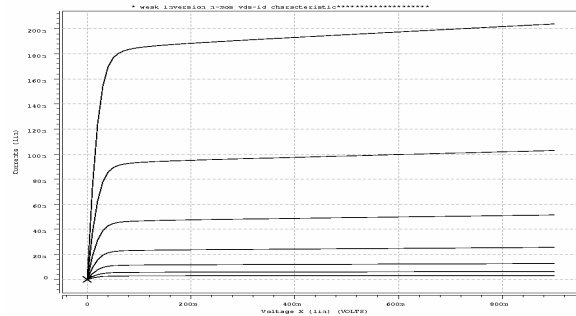
최근 아날로그 및 혼성신호 설계기술에서의 저전력과 저전력 회로에 대한 이슈가 크게 부각되고 있다. 특히 휴대용 전자제품의 증가에 따라 nano-watt 급 DC-DC Buck 변환기의 설계의 중요성이 커지고 있다. 본 논문에서는 weak inversion 영역의 특성을 이용하여 전력 소모를 획기적으로 줄이는 DC-DC 변환기를 제안한다.

II. 본론

시스템의 동작전압이 점점 낮아지게 됨에 따라 기존 회로 설계 기법의 응용은 매우 어려워진다. 이를 해결하기 위해서 본 논문에서는 기존 설계 되던 회로 및 공정을 weak inversion 영역으로 동작되는 회로로 응용

· 발전시켜 시스템의 전력소모가 매우 낮은 초 저전력 Buck 변환기를 설계하였다.

그림 1은 weak inversion 영역에서 동작하는 트랜지스터의 $V_{ds}-I_d$ 특성 곡선을 나타낸다. 이 특성 곡선은 MOS의 strong inversion 영역의 특성과 거의 유사하다.

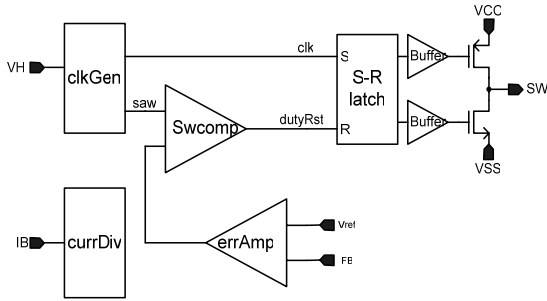


<그림 1> Weak inversion 영역에서의 MOS 트랜지스터의 $V_{ds}-I_d$ 특성 곡선

본 논문에서는 이러한 특성을 이용하여 전체적으로 수백 nA정도의 전류를 소모하는 회로의 설계 기법을 통하여 전체 DC-DC 변환기의 블록을 설계하였다.

그림 2는 weak inversion영역에서 동작하는 블록들로 Buck DC-DC 변환기를 구성한 모습이다. 기본적인 동작은 먼저 currDiv 블록에서 nA단위로 생성된 전류를 이용하여 clkGen에서 클럭과 톱니파형을 만들고 에러 앰프는 출력 전압과 기준 전압의 차이를 증폭하여 비교기에 인가한다. 비교기가 톱니파형과 증폭된

에러를 비교하여 dutyRst 신호를 출력한다. 즉, PWM 발생기의 셋 단자는 클럭이 인가되고 리셋 단자에는 비교기의 출력이 인가되어 스위치가 동작 하게 된다.

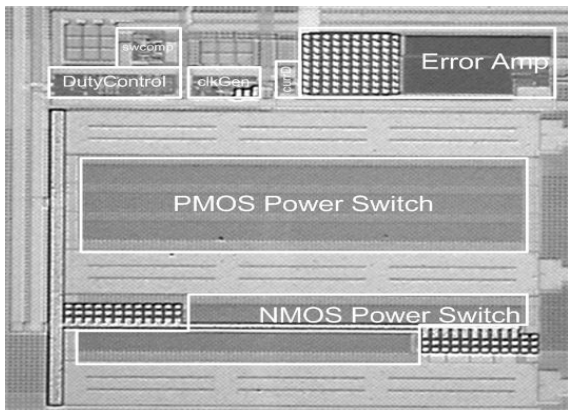


<그림 2> 저전력 step down DC-DC 변환기

스위치의 동작에 의해 출력 전압은 변하게 되고 이를 다시 내부로 피드백하여 일정한 듀티 비율을 갖게 함으로써 출력전압을 일정하게 유지하게 된다.

III. 구현

DC-DC 변환기의 에러앰프, 비교기, 클럭 발생기 등 전류를 많이 사용하는 블록 들의 각 트랜지스터에 nA 단위의 전류를 공급하여서 weak inversion영역에서 동작하도록 하였다. 그림 3은 설계된 칩이다. 칩의 동작을 위한 nA 단위의 전류는 칩 외부에 저항을 통하여 생성 하였다.



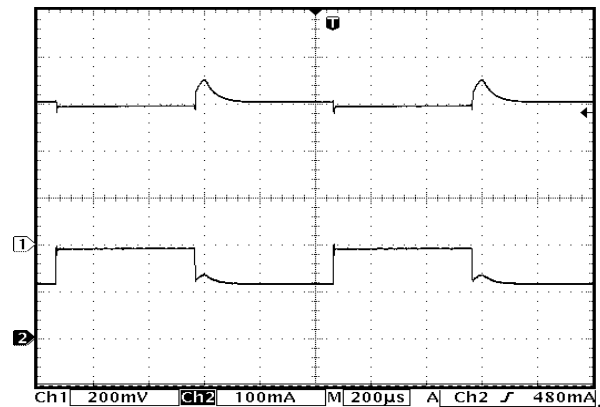
<그림 3> 칩 사진 (면적: 784 μm * 852 μm 공정 : 0.25 μm)

설계된 DC-DC 컨버터의 주요 블록의 대기 전류는 에러 앰프가 약 500nA, 클럭 발생기가 약 200nA, 비교기가 약 160nA 이다. Buck 변환기 전체 블록은 890nA의 대기 전류를 가진다. 다른 디지털 블록은 클럭이 멈출 때 전류소모가 거의 없기 때문에 대기 전류는 0이 된다. 입력이 1V 일 경우 전체 대기전력 소모는 1 μW 이내가 된다. 이는 표 1에서 나타나듯 현재 상용화되고 있는 제품에 비해 획기적인 전류 감소를 보이는 것이다.

	상용제품	[1]	This work
동작전압	2V이상	2.8~5.5V	0.9~2.5V
출력전압	1V이상	1~1.8V	0.6V
Quiescent current	100 μA 이상	4 μA	0.9 μA
동작주파수	0.5MHz이상	0.5~1.5MHz	0.5~1.0MHz
전력소모	100 μW 급이상	8 μW 이상	810nW

<표 1> 상용 제품, 최근 논문과 비교

아래의 결과는 입력 2.5V 출력 0.6V로 정상 동작 중인 변환기 출력 단의 스텝 전류의 변화에 대한 출력 단의 전압의 변화를 측정 한 것이다. 전류는 125mA에서 200mA로 변경 후 다시 125mA로 변경 했다. 출력 파형의 변화는 그림 4 파형과 같이 나타났다. 테스트의 결과 DC-DC 변환기가 weak inversion 영역에서도 정상 동작함을 확인 하였다.



<그림 4> 전류 변화에 따른 결과 파형

III. 결론

본 논문에서는 전력소모를 획기적으로 줄이기 위하여 weak inversion 영역에서 동작하는 DC-DC 변환기를 설계 하였다. 전류의 소모량이 많은 주요 블록들의 대기 전류를 획기적으로 낮추었고 그 결과 시스템의 소모 전력도 매우 낮아졌음을 측정을 통해서 확인할 수 있었다.

감사의 글

이 논문은 System IC 2010 사업의 지원에 의하여 연구 되었음.

참고문헌

[1] Jinwen Xiao et al, "A 4 μA -quiescent-current dual-mode buck converter IC for cellular phone applications", IEEE Int. Solid-State Circuits Conference, pp.280-528, 2004