

CSD 코드를 사용한 3단 Decimation Filter 설계

*변산호, 류성영, 최영길, 노형동, 이현태, 강경식, 노정진
 한양대학교 전자컴퓨터공학부
 e-mail : *sanhodream@gmail.com*

Design of three stage decimation filter using CSD code

*Sanho Byun, Seongyoung Ryu, Youngkil Choi, Hyungdong Roh,
 Hyuntae Lee, Kyoungsik Kang, Jeongjin Roh
 School of Electrical and Computer Engineering
 Hanyang University

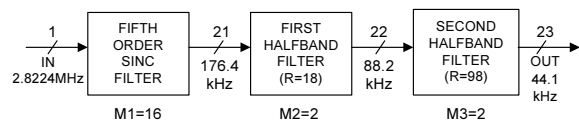


그림 1. 3단 데시메이션(decimation) 필터 구조

Abstract

Three stage(CIC-FIR-FIR) decimation filter in delta-sigma A/D converter for audio is designed. A canonical signed digit(CSD) code method is used to minimize area of multipliers. This filter is designed in 0.25um CMOS process and incorporates 1.36 mm² of active area. Measured results show that this decimation filter is suitable for digital audio A/D converters.

I. 서론

고해상도 데이터 변환기를 구현하기 위해 주로 사용되는 델타-시그마 A/D 컨버터는 크게 모듈레이터(modulator)와 데시메이션(decimation) 필터로 구성되어 있다. 그중 decimation 필터는 큰 면적을 차지하고 있다. Decimation 필터의 가장 기본적인 기능은 비신호대역의 양자화 노이즈 대부분을 감쇄시키는 것과 모듈레이터의 입력을 시그널 밴드로 제한시키는 것이다 [1].

본 논문에서는 decimation 필터의 면적을 줄이기 위해 단일 구조가 아닌 3단(CIC Filter-1st FIR Filter - 2nd FIR Filter)의 필터로 구성하였고 필터계수의 곱셈연산을 CSD 엔코딩 방식을 이용하여 구현하였다.

II. 본론

그림 1에 보인 decimation 필터는 1-bit 4차 델타-시그마 모듈레이터로 구현된 오버샘플링 방식의 A/D 컨버터에 사용하기 위해 설계되었다. 이 필터의 구조는 단일 구조가 아닌 여러 단계로 나누어 하드웨어의 복잡성을 줄였다. 5차의 SINC 필터는 16배 만큼 샘플링 주파수를 낮추고 나머지 두 FIR 필터는 각각 2배씩 낮춰 최종 44.1kHz의 Nyquist 주파수로 출력을 내보낸다.

III. 구현 및 측정결과

첫째단인 5차 SINC 필터는 2.8224MHz로 동작하는 5개의 적분기와 16배 감소된 176.4kHz로 동작하는 5개의 미분기가 연이어 구성되어 있다[2]. 두 번째와 세 번째 단인 halfband 필터는 그림 2에서와 같이 polyphase 구조로 구현되었다. 이 구조는 임펄스 응답이 대칭이고 중간 홀수 계수를 제외한 모든 홀수 계수 값이 0이므로 direct 구조에 비해 계산 량을 반으로 줄이면서 샘플링 주파수를 반으로 낮출 수 있

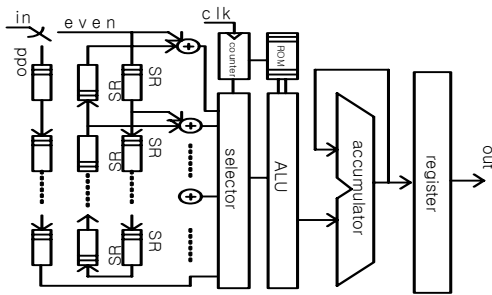


그림 2. 두 번째 halfband 필터의 구조

는 이점이 있다. 두 번째 halfband 필터는 0이 아닌 계수가 6개를 가진 Goodman과 Carey에 의해 제안된 F9 필터로 구현 되었고, 세 번째 halfband 필터는 Remez 알고리즘을 이용하여 25개의 0이 아닌 계수를 가지는 필터로 구현되었다[3]. 본 논문에서는 계수 곱셈연산의 복잡성을 줄이기 위해 계수를 1,0,-1로 이루어진 CSD(canonical signed digit)코드로 엔코딩(encoding)하였다[4]. CSD 계수가 15/64(01000-1)인 경우 다음과 같이 나타낼 수 있다.

$$\frac{15}{64}x = \frac{1}{4}x - \frac{1}{64}x$$

위와 같은 곱셈연산은 그림 3에서 shifter를 거쳐 오른쪽으로 2자리 자리이동(1/4) 한 값과 6자리 자리이동(1/64) 하고 inverter와 carry 추가를 통해 나온 값을 합하여 구현할 수 있다.

세 번째 단 필터도 두 번째 단 필터와 구현 방법이 유사하나 차이점은 전이밴드가 매우 좁아 차수가 높아지고 그럼으로써 계수 곱셈연산의 부담이 두 번째 단 필터보다 높아진 점이 있다.

그림 4에 보인 데시메이션 필터는 0.25μm CMOS 공정으로 제작되었고, 전체 면적은 1.36mm²이다. 2.5V 전원 동작에 23bit의 two's complement 출력 8K 샘플을 FFT한 결과를 그림 5에 나타내었다. 결과에서 보듯이 큰 입력에도 신호의 손상 없이 비신호대역의 양자화 노이즈 대부분을 감쇄시키고 있어 고해상도의 디지털 오디오용으로 매우 우수한 성능을 보이고 있다.

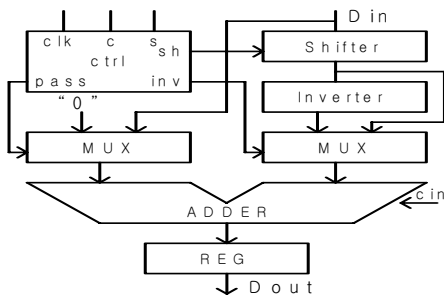


그림 3. ALU 구조

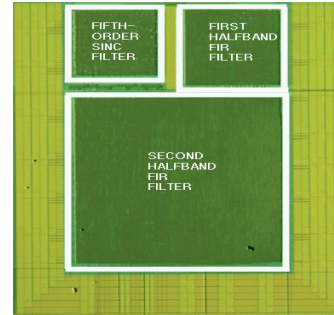


그림 4. Die 칩 사진

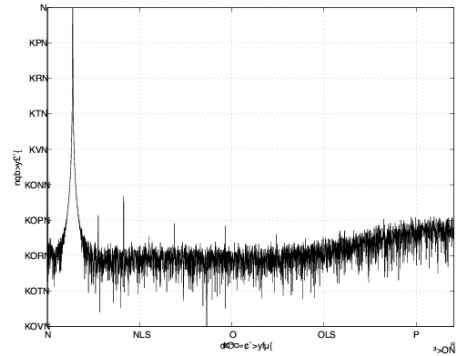


그림 5. 1.3kHz, -0.5dB 입력(8192-point FFT)

IV. 결론

본 논문에서는 3단 구조를 갖춘 디지털 오디오 코덱용 데시메이션 필터 칩 설계에 대해 논하였다. 하드웨어의 부담이 가장 큰 곱셈기를 CSD 방식을 이용한 쉬프트 & 덧셈기로 구현함으로써 면적을 크게 줄일 수 있었다.

감사의 글

이 논문은 ITSOC 사업의 지원에 의하여 연구되었음.

참고문헌

- [1] B. P. Brandt, *Oversampled analog-to-digital conversion* PhD thesis, Stanford University, August 1991
- [2] E. B. Hogenauer, "An economical class of digital filters for decimation and interpolation", *IEEE Trans. Acoustics, Speech and Signal Processing*, vol. ASSP-29, No.2, April 1981
- [3] D. Goodman and M.Carey, "Nine digital filters for decimation and interpolation," *IEEE Trans. Acoustics, Speech and Signal Processing*, vol. ASSP-25, pp.121-126, April 1977
- [4] R. M. Hewlitt, E. S. Swartzlander, Jr, "Canonical signed digit representation for fir digital filters," *Signal Processing Systems, 2000. SiPS 2000. 2000 IEEE Workshop on 11-13 Oct. 2000*