

고속 locking time 을 갖는 Frequency Locked Loop(FLL)

송민영*, 이인호, 광영호, 김철우
고려대학교 공과대학 전자전기공학부

Fast Locking FLL (Frequency Locked Loop)

For High - speed Wireline Transceiver

Minyoung Song*, Inho Lee, Youngho Kwak, and Chulwoo Kim
Electronics and Electrical Engineering Department
Korea University
E-mail : *smy@kilby.korea.ac.kr

Abstract

FLL (Frequency Locked Loop) is the core block for high-speed transceiver. It incorporates a PLL for fine locking action, and a coarse controller for coarse locking action.

A coarse controller compares frequencies coarsely and is applied to detected frequency difference directly. Compare to conventional FLL, frequency is applied to proposed FLL. Proposed FLL in this paper achieves only 5 cycles for coarse lock and total frequency locking time is 5 times faster than conventional FLL. Thus, proposed FLL is more useful to Ethernet transceiver application that requires high-speed data transfer than conventional FLL. Proposed FLL is based on 0.18 μm process.

I. 서론

고속 transceiver가 점점 더 Ethernet, 고속 메모리, SATA 등에 많이 필요하며 FLL은 그 핵심 블록이다.

일반적으로 FLL(Frequency Locked Loop)회로는 기준 주파수를 이용하여 새로운 주파수를 만들어 내는 주파수 합성기와 VCO(Voltage Controlled Oscillator)에서 생성된 주파수를 검출하여 제한된 범위 내에서의 동작 여부를 알려 주는 FLD(Frequency Lock Detector)로 이루어져 있다.

주파수 합성기는 VCO의 컨트롤 전압을 fine 과 coarse의 두 부분으로 나누어, fine 전압을 LPF의 출력 전압에 연결하여 PLL(Phase Locked Loop)을 구성하고, coarse 전압을 Coarse controller에 연결하여 coarse 전압을 디지털적으로 제어하는 방식으로 되어 있다. FLD는 VCO의 출력을 입력으로 받아 원하는 범위의 주파수 생성 여부를 locking 신호로 알려주는 방식으로 되어 있다[1]. [1]은 작은 VCO gain으로 동작하고 이를 digital block으로 보완하기 때문에 noise에 강하다[2]. 그러나 [1]에서 제안된 블록은 몇 가지 단점이 있다. 첫 번째, locking time이 느리다. 두 번째, DAC를 구동하는 데 있어 쓰이는 digital block의 면적이 크게 소모된다. 이러한 문제점들을 해결하기 위해서 본 논문에서는 고속 locking 시간을 가지며 면적이 작은 FLL을 제안한다.

II. 본론

제안된 FLL(Frequency Locked Loop)용 Coarse Controller는 서론에서 밝힌 [1]의 문제점들을 보완하였다. [1]에서와 달리, 2^5 으로 나누어진 clock으로 동작하도록 하였다. 그림 1은 고속 locking FLL의 전체적인 블록 다이어그램이다.

전체 FLL은 PFD(Phase Frequency Detector), CP(Charge Pump), LPF(Low Pass Filter), VCO(Voltage Controlled Oscillator)로 구성된 CPPLL과 Frequency Lock Detector(FLD), 그리고 coarse controller로 구성된다. 카운터는 VCO의 출력을 클럭으로 받아 카운트한다. 그리고 카운트한 값은 reference clock을 2^5 으로 나눈 clock

으로 각각의 DFF 에 저장시킨다[3].

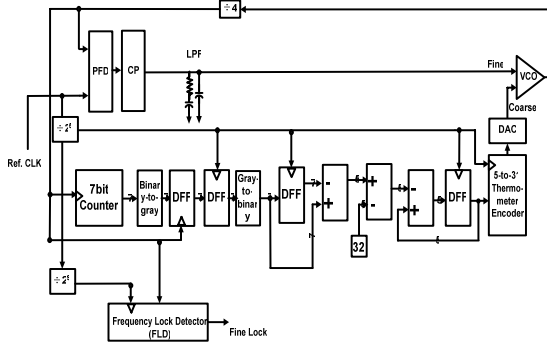


그림 1. Fast locking FLL 의 블록 다이어그램

이전 DFF 에 저장된 값에서 다음 DFF 에 저장된 값을 빼면 두 값이 2^5 만큼 차이가 나게 되어 두 클럭이 동일하다는 것을 알 수 있다. 따라서 subtracter 로 두 DFF 에 저장된 값을 빼면 두 클럭의 주파수 차이를 얻을 수 있다.

마지막 DFF 에 저장되어 있는 값은 Thermometer encoder 와 DAC 를 거쳐 VCO 의 coarse voltage 로 연결된다. 이 값에 두 클럭의 차이로 인한 결과를 피드백 해주면 coarse voltage 를 한번에 올릴 수 있다. 따라서 이들을 subtracter 에 연결하고 그것의 출력 값을 마지막 DFF 에 입력시킴으로써 궤환을 구현하였다.

III. 구현

동작 주파수	Supply	Locking time
2.5 GHz	1.8V	2.8 μ s

표 1. Fast locking FLL 의 동작 특성

표 1 에서 나타낸 것처럼 제안된 FLL 은 0.18 μ m 공정을 이용하여 2.5GHz 에서 동작하도록 모의 실험을 수행하였다. 그 결과 locking 시간은 2.8 μ s 임을 확인하였다. 그림 2 는 시간에 따라 주파수가 lock 이 되는 과정을 나타내었다. 1 μ s 에서 coarse loop 이 lock 되고, 이후 fine loop 이 미세 조정을 하면서 약 2.8 μ s 에 lock 이 되어 전체적으로 lock 이 됨을 알 수 있다. 기존의 FLL 이 15 cycle 동안에 주파수를 찾아갈 경우, 제안된 FLL 은 5 cycle 동안에 더 빠른 locking time 을 갖는 것을 확인할 수 있다. 표 2 에서 나타난 것처럼, coarse locking time 은 기존의 FLL 에 비해 빠르며 cycle 수 역시 적음을 알 수 있다. 면적 면에서도 기존의 FLL 이 DAC 를 컨트롤 하기 위해 엷다운 카운터를 쓰는 것과 달리 제안된 FLL

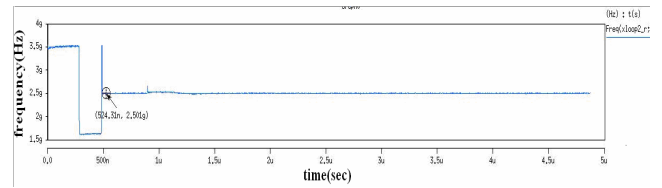


그림 2 frequency 의 변화

	기존 FLL	제안된 FLL
Coarse locking time	393 μ s	800 ns
Cycle 수	15	5
Core 부분 면적	1000 x 500	700 x 450
전체 면적	1200 x 1000	1700 x 800

표 2. Coarse locking time 과 cycle 수, 면적 비교

은 dynamic logic 을 이용한 thermometer encoder 를 적용함으로써 core 면적 면에서 뛰어남을 확인할 수 있다.

IV. 결론 및 향후 연구 방향

본 논문은 시리얼 전송 기술에서 수신 단에 필요한 FLL 회로를 보다 빠른 시간에 원하는 주파수에 도달할 수 있도록 하는 새로운 방식을 제안하여 면적은 23%, lock time 은 5 배 개선 시켰다. 이는 전송속도가 고속으로 올라감에 따라 locking 시간이 길어질수록 데이터 손실량이 많아진다는 점을 감안한다면 아주 유용하게 사용될 기술이라고 할 수 있다.

Acknowledgements

본 논문은 2006 년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계기술혁신사업단」의 지원으로 이루어졌습니다.

참고문헌

[1] H.-R. Lee et al., "A fully Integrated 0.13um CMOS 10Gb ethernet transceiver with XAUI Interface," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 170-171, Feb. 2004

[2] T. H. Lin et al., "A 900MHz 2.5mA CMOS frequency synthesizer with an automatic SC tuning loop," in IEEE J. Solid-State Circuits, vol. 36, pp. 424-431, Mar. 2001.

[3] Y. Moon, *A Tracked 3' Oversampling Technique with Dead-Zone Phase Detection for Robust Multi-Gigabit Clock/Data Recovery*, Ph.D. Thesis, Seoul National University, Jan. 2001.