

Multiple Gated Transistors 의 Derivative Superposition Method 를 이용한 CMOS Low Noise Amplifier 의 선형성 개선

양진호, 김희중, 박창준, 최진성, 윤제형, 김범만
 포항공과대학교 전자전기공학과

Improving the Linearity of CMOS Low Noise Amplifier Using Multiple Gated Transistors

Jinho Yang, Huijung Kim, Changjoon Park, Jinsung Choi, Jehyung Yoon, and Bumman Kim

Department of Electronic and Electrical Engineering

Pohang University of Science and Technology

E-mail : wlsgh27@postech.ac.kr

Abstract

In this paper, the linearization technique for CMOS low-noise amplifier (LNA) using the derivative superposition method through the multiple gated transistors configuration is presented. LNA based on 0.13um RF CMOS process has been implemented with a modified cascode configuration using multiple gated common source transistors to fulfill a high linearity. Compared with a conventional cascode type LNA, the third order input intercept point (IIP3) per DC power consumption (IIP3/DC) is improved by 3.85 dB. The LNA achieved 2.5-dBm IIP3 with 13.4-dB gain, 3.6 dB NF at 2.4 GHz consuming 8.56 mA from a 1.5-V supply

I. 서론

Cascode type LNA(low noise amplifier)(그림 1.(a))는 공통소스(common source, CS)단과 공통게이트(common gate, CG)단의 직렬 연결로 이루어진 회로로서 LNA 의 설계 구성으로 많이 사용된다. Cascode type LNA 는 하나의 DC 경로를 공유한 2 개의 이득단(gain stage)으로 구성되고 같은 전류를 사용하기 때문에, 낮은 DC 전력 소모와 높은 이득을 동시에 얻을 수 있다. 그뿐 아니라 isolation 특성이 좋고, 상당히 좋은 잡음특성도 보여준다. LNA 에서 CS 단은 전체적인 고성능을 얻는데 가장 중요한 부분으로 잡음과 선형성 성능이 여기서 좌우된다. 그러나 cascode type LNA 는 앞서 언급한 좋은 성능과 높은 선형성의 성능을 동시에 달성할 수는 없다. 그래서 본 논문에서는 cascode LNA 의 장점을 유지하면서 개선된 선형성을 보여주기 위해 CS 단을 2 개의 FET 로

구성한 변형된 형태의 LNA(그림 1. (b))를 연구하였다.

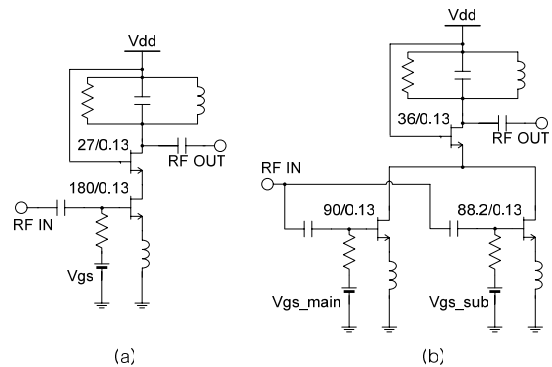


그림 1. Schematics of LNA: (a) conventional cascode LNA, (b) modified cascode LNA

II. 본론

MOSFET 소자의 동작에서 CS FET 의 비선형성은 transconductance(gm)로부터 비롯된다. RF 회로의 비선형 특성 중에서 3rd order intermodulation(IM3)이 선형성 성능에 가장 큰 문제가 되는데, 이는 IM3 를 통해 출력 신호 바로 옆에 원하지 않는 신호가 같이 생성되고 이는 쉽게 필터로 제거할 수 없기 때문이다. 출력 신호에서 3rd order transconductance (gm₃)의 값이 IM3 의 크기를 결정하는데, v_{gs}가 weak & moderate inversion region 에서 strong inversion region 으로 이동할 때 그 값이 양에서 음으로 변하게 된다. 그래서 multiple gated transistor 구조는 CS 단에 FET 를 병렬로 2 개를 사용하고 각 FET 의 게

이트폭과 bias 조건을 달리 해서, gm_3 곡선의 크기와 위치가 다르게 하여 중첩되게 만들면, CS 단 전체로 봤을 때 v_{gs} 에 대해서 gm_3 가 0 에 가까운 구간이 비교적 넓게 나타난다. 이를 derivative superposition method 라 하고 이 구간에 v_{gs} 를 정해주면 일반적인 cascode LNA 에 비해 IM3 선형성이 개선되고 v_{gs} 의 값이 변하더라도 선형성 성능에 큰 영향을 미치지 않는다. [1]-[2]

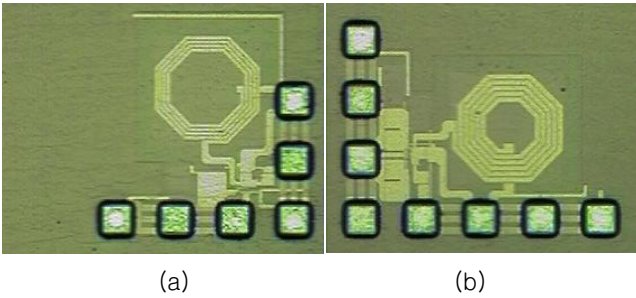


그림 2. Microphotograph of the fabricated circuit: (a) conventional cascode LNA, (b) modified cascode LNA

III. 구현

삼성 0.13um RF CMOS 공정을 이용하여 두 가지 형태의 LNA(그림 2)를 설계하고 제작하였다. 측정용한 결과, IM3 선형성의 지표인 IIP3 가 5dB 가 개선되었다.(그림 3, 4) 하지만 선형성은 DC 전력소모에 비례하는 특성을 보이기 때문에 이를 고려하면, IIP3/DC power consumption 은 3.85dB 가 개선되었다. 그림 5 는 CS 단을 구성하는 Main Tr.은 그대로 놓고 Sub Tr.의 v_{gs} 에 대한 IIP3 의 변화로서, 회로를 조율하면 조금 더 효과적인 harmonic 상쇄가 이루어져 선형성이 개선될 수 있다는 것을 확인하였다. 두 가지 형태의 LNA 성능 측정 결과는 Table I 에 정리하였다.

IV. 결론 및 향후 연구 방향

본 논문에서는 CMOS LNA 의 선형성을 개선하기 위해 일반적인 cascode type LNA 에 multiple gated transistor 구조를 적용하였고, 그 결과 LNA 의 IIP3 가 5dB(IIP3/DC power consumption: 3.85dB)만큼 개선되었다.

참고문헌

[1] T. Kim, B. Kim, and K. Lee, "Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated

transistors," IEEE J. Solid-State Circuits, vol.39, no. 1, pp. 223~229, Jan. 2004.

[2] V. Aparin and L. E. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers," IEEE Trans. Microw. Theory Tech., vol. 53, no. 2, pp. 571~581, Feb. 2005.

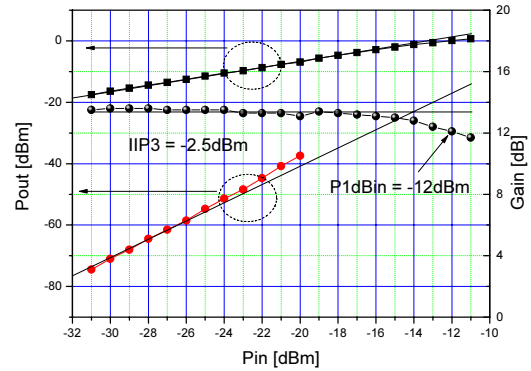


그림 3. Power measurement of conventional cascode LNA

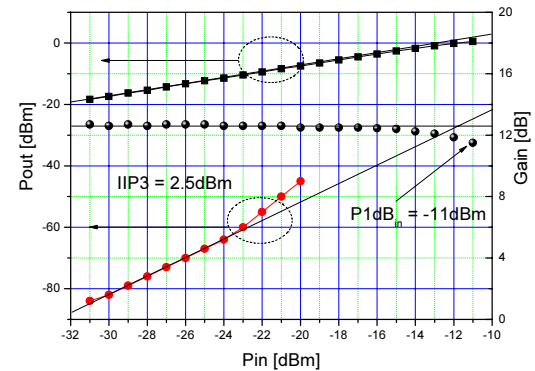


그림 4. Power measurement of modified cascode LNA

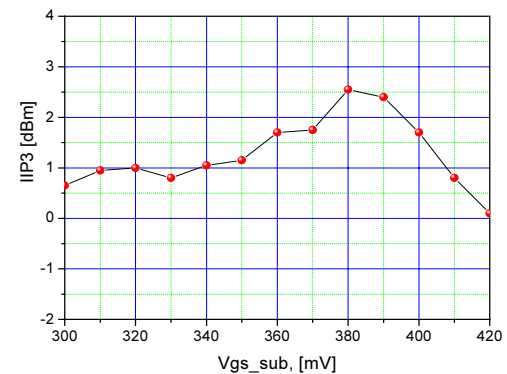


그림 5. IIP3 vs. Sub Tr.' s v_{gs}

	Conventional Cascode LNA	Modified Cascode LNA
Frequency(GHz)	2.4	
I_{ds} (mA) @1.5V	4.37	5.70
Gain (dB)	13.5	13.4
NF (dB)	3.24	3.6
IIP3 (dBm)	-2.5	2.5

표 1. Measurement Summary & Performance Comparison