빠른 스위칭 시간과 저 위상잡음 특성을 가지는 PHS 용 주파수 합성기의 설계

정성규*, 정지훈, 부영건, 김진경, 장석환, 이강윤**
건국대학교 정보통신대학 전자공학부

A design of fast switching time, low phase noise PHS frequency synthesizer

SungKyu Jung*, JiHoon Jung, YoungGun Pu, JinKyung Kim, SukHwan Jang, Kang-Yoon Lee**
Department of Electronic Engineering
Konkuk University
E-mail : *formsk@konkuk.ac.kr, **kylee@cnu.ac.kr

Abstract

This paper presents a fast switching CMOS frequency synthesizer with a new coarse tuning method for PHS applications. To achieve the fast lock-time and the low phase noise performance, an efficient bandwidth control scheme is proposed. Charge pump up/down current mismatches are compensated with the current mismatch compensation block. Also, the proposed coarse tuning method selects the optimal tuning capacitances of the LC-VCO to optimize the phase noise and the lock-time. The measured lock-time is about 20μs. This chip is fabricated with 0.25μm CMOS technology, and the die area is 0.7mm x 2.1mm. The power consumption is 54mW at 2.7V supply voltage.

I. 서론

현재 중국, 인도를 중심으로 널리 서비스되고 있는 PHS 시스템의 경우, 주파수 합성기의 위상 잡음 (Phase Noise)특성이 좋으면서도, 채널 스위칭 시간이 짧아야 하는 상충되는 조건을 만족해야 한다. 기존의 PHS 송수신기에서는 하나의 주파수 합성기로는 이러한 특성을 만족 시키지 못해서, 두 개의 주파수 합성기를 “Ping-Pong”의 구조로 사용해왔다. 30μs 의 Lock-Time 조건을 만족하기 위해서 PLL 의 대역폭이 커야하는데, 대역폭이 증가할수록 위상 잡음 (Phase Noise) 특성이 저하된다. 위상 잡음은 일반적으로 수신기의 ACS 특성을 결정하므로, Lock-Time 과 위상 잡음 특성을 동시에 만족할 수 있는 방법이 요구되고 있다.

본 논문에서는 위상잡음과 Lock-Time 을 동시에 만족시키기 위해서 효율적으로 대역폭을 스위칭하는 방법을 제안한다.

II. 본론

본 논문에서는 위의 두 가지 특성을 동시에 만족시키기 위한 기존의 대역폭 스위칭 방법의 문제점을 개선한 Charge Pump 및 Auxiliary Coarse Tuning 방법에 대해서 제안하고 있다. 본 논문에서 제시된 “Variable Bandwidth Control”의 개념은 참고문헌 [1]에서 제시된 방법과 비교해서 두 가지의 차이점을 가지고 있다.

첫째, 본 논문에서 제안한 Auxiliary Coarse Tuning 방법을 이용함으로써, 참고문헌 [1]에 비해서 작은 수의 Charge Pump 셀 스위칭을 통해서 채널 스위칭시의 빠른 Lock 을 가능하도록 한 점이다.

둘째, 본 논문에서는 Charge Pump Mismatch Compensation 방법을 통해서, 대역폭 스위칭 전후의 Up/Down Current Mismatch 를 줄이고자 하는 점이다.

Auxiliary Coarse Tuning 방법을 구현하기 위해서 새

.

로운 LC-Type VCO 의 구조를 제안하였다. 기존의 LC-Type VCO 의 경우, 커패시터 성분이 Fixed Capacitance, Coarse Tuning Capacitance, Varactor 의 3 부분으로 구성되어 왔다. 위에서 Fixed Capacitance 는 중심 주파수를 맞춰주기 위한 커패시턴스 성분이고, Varactor 는 Control 전압에 따라서 변하는 커패시터 성분을 구현하고 있다.

Coarse Tuning Capacitance 는 Coarse Tuning Controller 에 의해서 결정되는 성분이다. 그러나, PHS 시스템은 채널 스위칭 시간이 워낙 짧기 때문에 매 채널 스위칭 때마다 Coarse Tuning 을 할 시간적 여유가 없다. 기존의 LC-Type VCO 에 비해서 Auxiliary Coarse Tuning 커패시턴스 성분을 추가함으로써, 채널 스위칭 시간을 줄일 수 있었고, 대역폭 스위칭 시에 필요한 Charge Pump 셀의 개수도 줄일 수 있었다.

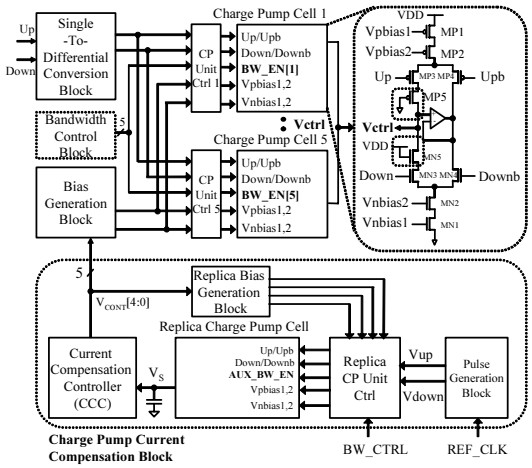

그림 1. Current Mismatch 보상 기능을 가지고 있는 제안하는 Charge Pump 회로

Auxiliary Coarse Tuning 방법과 더불어 Lock Time 을 줄이기 위해서 대역폭 스위칭 전후의 Charge Pump Current 의 Mismatch 보상회로를 제안하였다.

Charge Pump 전류를 큰 값에서 작은 값으로 스위칭함으로써 대역폭을 바꾸게 되는데 이 때의 중요한 설계 이슈중의 하나는 대역폭 스위칭 전후의 up/down 전류의 Mismatch 를 최소화해야 한다는 점이다. Mismatch 가 커질수록 VCO Control 전압의 Glitch 가 커지게 되고, 오히려 Lock-Time 이 길어지는 결과를 초래하게 된다.

그림 1 에서는 Up/Down 전류 Mismatch 보상 기능을 가지고 있는 Charge Pump 회로도를 보여주고 있다. 대역폭 스위칭 시의 Control 전압의 Glitch 를 줄이기 위해서 5 개의 전류 셀이 동작을 하다가 1 개의 전류 셀이 동작을 하도록 하여 대역폭을 스위칭 하도록 하였으며, replica 전류 셀을 이용해서 Up/Down 전류의 Mismatch 를 보상할 수 있도록 설계 하였다. 모의 실험 결과를 토대로 측정을 한 결과 이러한 Mismatch 보상회로의 도움으로 Mismatch 가 1%이하로 맞출 수 있음을 확인하였다.

Ⅲ. 실험 결과

주파수 합성기는 1poly, 5-metal 0.25μm CMOS 공정으로 제작되었으며, 측정결과, 본 논문의 주요한 목표였던 Lock Time 의 경우 20μs 이내로서 규격에 비해 10μs 의 마진을 가짐을 알 수 있다.

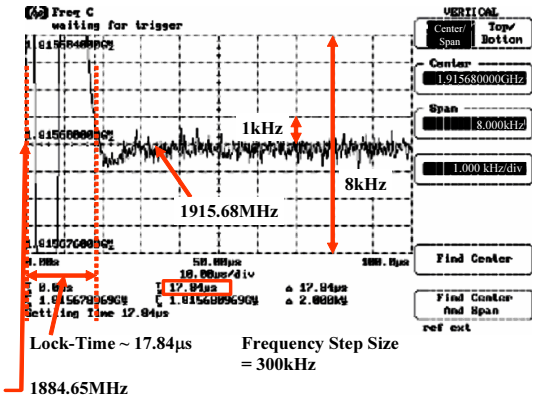

그림 2. Lock-Time 측정 결과

그림 2 는 Lock-Time 의 측정 결과를 보여 주고 있다. 주파수가 1884.65MHz 에서 1915.68MHz 로 스위칭할 때의 Lock-Time 을 측정한 결과 18μs 내에 채널 스위칭이 이루어짐을 알 수 있다.

참고문헌

[1] Mike Keaveney, Patrick Walsh, Mike Tuthill, Colin Lyden, Bill Hunt, "A10us Fast Switching PLL Synthesizer for a GSM/EDGE Base-Station," 2004 IEEE International Solid-State Circuits Conference, pp. 192-193, Feb. 2004.

[2] Hyungki Huh, Yido Koo, Kang-Yoon Lee, Yeonkyeong Ok, Sungho Lee, Daehyun Kwon, Jeongwoo Lee, Joonbae Park, Kyeongho Lee, Deong-Kyoon Jeong, Wonchan Kim, "A CMOS Dual-Band Fractional-N Synthesizer with Reference Doubler and Compensated Charge Pump," 2004 IEEE International Solid-State Circuits Conference, pp. 100-101, Feb. 2004