

Au 전극과 pentacene 박막 계면의 contact resistance 측정

정보철, 류기성, *김용규, 송정근
동아대학교 전자공학과
*부산기능대학
e-mail : virtualj@donga.ac.kr

Extraction of Contact Resistance in Interface Between Au Electrode and Pentacene Thin Film

Bo-chul Jung, Gi-seong Ryu, *Yong-kyu Kim, Chung-kun Song
Department of Electronics Engineering, Dong-A University
*Busan Polytechnic College

Abstract

We fabricated pentacene organic thin film transistor with good uniformity. And we extracted contact resistance in organic thin film transistors from the plot of the inverse of drain current versus channel length by extrapolating the curve to a channel length of zero, and multiplying by drain-source voltage. Extracted contact resistance is about 70 K Ω at gate-drain voltage of -20 V

I. 서론

기존의 Si이나 GaAs같은 무기 반도체와 달리 유기 반도체는 휘어질 수 있고, 저렴한 공정비용과 저온공정 등 손쉬운 제작이 가능하여 최근 각광을 받으며 많은 연구가 이루어지고 있다. 특히 유기 반도체는 유기 발광 다이오드(OLED), 유기 태양전지, 유기 박막 트랜지스터(OTFT)에서 많이 응용되고 있다 [1].

OTFT는 flexible display와 smart card에 활용이 가능한데, pentacene이 지금껏 밝혀진 유기 반도체중 가장 낮은 성능을 발휘 하였다. 하지만 유기반도체는 지금껏 많은 연구가 진행되지 않은 편이다. Contact resistance 분석 역시 빈약한 실정이다. Contact resistance가 크면 성능을 열화 시킨다. 또한, 일반적으로 유기반도체의 contact resistance는 무기물 반도체

의 경우보다 상대적으로 큰 편이다 [2]. 이에 본 논문에서 Au 전극과 pentacene 박막사이의 contact resistance를 추출해보았다.

II. 실험

Pentacene OTFT의 전기적 특성을 분석하기 위해 먼저 그림 1과 같이 inverted coplanar 구조의 소자를 제작하였다.

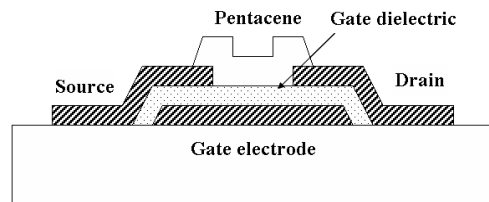


그림 1. 제작된 pentacene OTFT의 개략도

사용된 Si 기판은 (100) P-type이며 boron으로 도핑된 wafer를 사용하였다. 면저항은 0.005 $\Omega \cdot \text{cm}$ 이하이고, SiO₂는 열산화 방식으로 600 Å 두께로 성막 되었다. boron으로 높게 도핑된 Si를 gate electrode로 사용하였고, SiO₂를 gate dielectric으로 사용하였다. Source와 drain electrode로는 Au를 전면에 진공 열 증착 한 후 lithography 공정을 걸쳐 pattern을 형성하였다. pentacene 또한 약 450 Å 정도를 진공 열 증착 하였다. 제작된 소자의 channel width 2000 μm 이고, length는 20 μm , 30 μm , 40 μm , 50 μm , 60 μm 이었다.

III. 결과

제작된 소자의 전기적 특성을 분석한 결과 평균 mobility는 약 $0.12 \text{ cm}^2/\text{V} \cdot \text{cm}^2$, off-state current는 0.002 pA , sub-threshold slope 0.4 V/dec , 문턱전압은 -0.5 V 정도의 성능을 보였다. 또한 parameter의 deviation은 10% 미만으로 소자의 uniformity가 매우 우수하였다. 뛰어난 uniformity는 추출한 contact resistance를 신뢰할 수 있게 한다.

Contact resistance를 추출하기 위해서 그림 2와 그림 3과 같이 각 channel length별로 drain 전류의 역수를 구한 뒤, 외삽법을 통해 channel length가 0 일 때의 drain 전류의 역수를 추출할 수 있다. 여기에 source-drain 전압을 곱하면 contact resistance가 나오게 된다 [3].

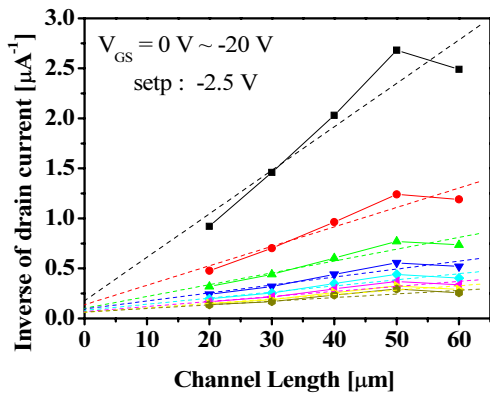


그림 2. $V_{DS}=-1 \text{ V}$ 일 때 drain 전류의 역수

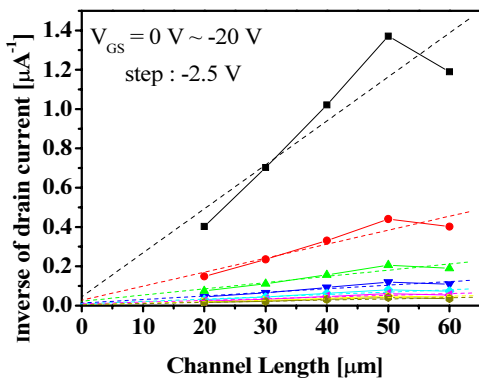


그림 3. $V_{DS}=-10 \text{ V}$ 일 때 drain 전류의 역수

추출된 contact resistance값은 그림 4와 같이 gate 전압과, drain 전압에 따라 변화가 있었다. Drain 전압이 클 때 contact resistance가 컸고, gate 전압이 커질

수록 contact resistance값이 작아지는 경향이 있다. 이는 gate 전압이 커질수록 channel과 contact 근처에서 carrier density가 높아짐으로 인해서이다. 전체적으로 contact resistance가 기존의 논문보다 작은 값을 보였지만, 이는 channel width가 기존의 논문보다 큰 것을 감안하면 타당한 값이라 볼 수 있다.

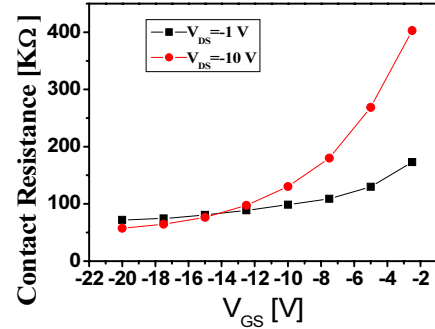


그림 4. 측정된 contact resistance

IV. 결론

이상의 실험에서, inverted coplanar 구조 OTFT의 전기적 특성, 특히 contact resistance의 추출을 해보았다. 실험 결과는 기존의 contact resistance를 추출한 논문과 비교해볼 때 신뢰성이 있다고 볼 수 있다. 따라서 이 측정 방법은 contact resistance를 줄일 수 있는 공정이나 구조를 개발하였을 때 사용하여, 공정이나 구조의 효과를 알아볼 수 있을 것이다.

감사의 글

본 연구는 정보통신부 및 정보통신 연구진흥원의 대학 IT연구센터 육성, 지원사업의 연구결과로 수행되었음.

참고문헌

- [1] M. shtein, H. F. Gossenberger, J. B. Benziger, S. R. Forrest, Journal of Applied Physics, 89, 2, (2001) pp. 1470-1476.
- [2] I. G. Hill, Applied Physics Letters, 87, 163505, (2005).
- [3] H. Klauk, G. Schmid, W. Radlik, W. Weber, L. Zhou, C. D. Sheraw, J. A. Nichols, T. N. Jackson, Solid-State Electronics, 47, (2003), pp.297-301.