

New Capacitorless 1T DRAM Cells : Surrounding Gate and Double Gate MOSFET With Vertical Channel (SGVC and DGVC Cell)

*이윤성¹, 정훈, 송재영, 김종필, 이종덕, 신형철, 박병국
 서울대학교 나노협동과정¹, 전기 공학부 및 반도체 공동연구소,
 서울시 관악구 신림동 산 56-1 (151-742)

Tel:+ 82-2-880-7282, Fax:+ 82-2-882-4658 E-mail : jerry7190@naver.com

1. 서론

Device size가 sub-0.1 μm 가 되면서 현재의 DRAM 이나 eDRAM등의 scale down 문제가 가장 큰 화두가 되고 있는 게 사실이다. DRAM의 경우 현재 1-transistor/ 1-capacitor (1T/1C) cell 구조를 갖고 있으며 그 cell 면적은 $8F^2$ 가 일반적이며 최근 들어 $6F^2$ 또는 $4F^2$ 까지도 제안 되고 있다. 그러나 지금과 같은 1T/1C 구조로는 $4F^2$ 까지 면적을 줄이는 것은 매우 어렵다 transistor를 scale down 하는 것도 어렵지만 capacitor를 갖는 구조에서는 더욱 어려운 문제일 수 밖에 없다. 이와 같은 이유로 최근 capacitor-less 1T-DRAM이 많이 제안 되고 있으며 그 주류는 전기적으로 body가 floating 된 MOSFET을 이용한 floating body cell (FBC) 이다. FBC는 partially depleted silicon-on -insulator (PD-SOI)에 구현 가능하다. 그러나, scale down 시 floating body 영역을 확보하기 위해 과도한 body doping 이 필요하고 이는 junction leakage의 증가를 초래하여 refresh 특성에 나쁜 영향을 끼친다. 이런 문제점을 극복하기 위해 최근에 double gate fully depleted FinFET DRAM (DG-FinDRAM)이 1T DRAM으로 제안 되어졌으나 $4F^2$ 를 달성하기 위해 복잡한 공정이 필요 하다는 한계를 갖고 있다.

본 논문에서는 vertical channel 구조를 갖는 surrounding gate MOSFET과 double gate MOSFET을 새로운 1T DRAM cell로 제안 한다. (SGVC and DGVC Cell) SGVC와 DGVC cell 은 SOI가 아닌 bulk Si 위에 제작 가능하며 vertical channel 을 갖기 때문에 일반적인 1T DRAM cell 보다 큰 body 부피를 갖고 있어 refresh 특성에 유리한 구조이다. 또한, common source 구조를 사용하기 때문에 간단한 공정으로 $4F^2$ 달성이 가능하다.

2. 본론

가. 1T DRAM Cell Operation

그림1은 single 및 double gate 1T DRAM의 동작원리를 설명하고 있다. 두 경우 모두 floating body에 쌓인 hole에 의해 변화 된 threshold voltage에 의해 생긴 current차이를 sensing 하는 방식으로 동작 한다.

single gate의 경우는 storage node로 부분적으로 공핍된 silicon body 의 floating 된 영역을 사용한다. 그러나, double gate의 경우는 전기적으로 분리된 back gate에 negative bias를 인가하여 excess hole을 전체적으로 공핍된 back gate 쪽 silicon body 내에 유지시켜 전기적으로 유도된 floating body를 구현하여 storage node로 사용한다. floating body에 쌓이게 될 hole은 impact ionization이나 gate induced drain leakage에 의해 생성된다. 이렇게 발생 된 hole이 body에 쌓였을 때가 cell state "1"이 되고 쌓인 hole을

body-drain간 forward bias를 가하여 빼내었을 때가 cell state "0"가 되는 것이다.

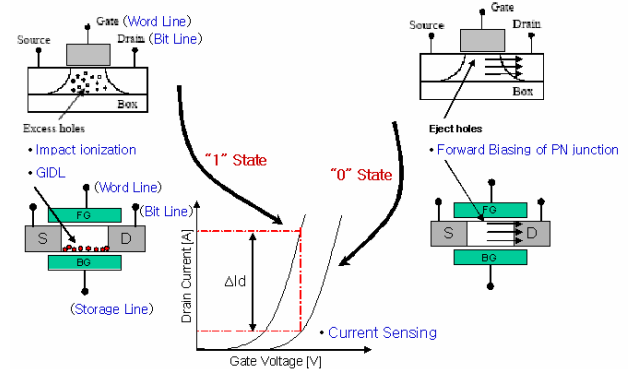


그림1. single & double gate 1T dram 원리 나.

Device Fabrication

그림2는 SGVC와 DGVC cell의 입체도 이다. Gate는 word line를 형성하고 top S/D은 bit line과 연결 되어 진다. 그리고 bottom S/D는 common source를 이루며 모든 cell이 하나로 연결된 형태가 된다. 그림3은 1T DRAM 의 이상적인 평면도를 보여주고 있다. 즉 common source 구조를 적용하기 때문에 간단한 공정으로도 $4F^2$ 를 달성 할 수 있음을 보여준다. 그림4는 p-type bulk Si (100) substrate위에 SGVC와 DGVC cell 을 형성하기 위한 key process flow를 나타내었다. 먼저 bulk Si에 implantation으로 channel 및 source/drain으로 사용 될 영역을 구분하고 SiN를 증착하고 lithography 공정을 통해 pillar와 fin pattern을 구현한다. gate의 channel 길이는 implantation에 의해 결정 되어지며 0.1 μm 로 하였다. SiN을 hard mask로 하고 Si etching을 통해 pillar와 fin의 구조를 완성하게 되며 pillar의 지름과 fin의 두께는 60, 80, 100, 120nm로 split하였다. Wet chemical etching을 통해 channel 영역의 Si 표면을 trimming 한 후 plasma gate oxidation, gate poly deposition, sidewall gate를 차례로 형성한다. 이때 gate oxide의 두께는 60 \AA 으로 하였다. DGVC cell 의 경우 front gate와 back gate간에 분리 공정이 필요한데 이는 lithography 공정을 한번 더 추가하여 분리하였다. gate pad는 word line과 metal line 간을 연결하기 위해 만들어 진다. 우선 pillar와 fin의 끝 부분은 word line 방향으로 확장하였고 wet chemical로 ILD-1을 recess 시킨 후 n-type doped poly Si을 deposition 하였다. 이 후 확장된 pillar 또는 fin이 인접한 gate pad 영역을 모두 포함하게 만들어진 gate mask를 사용하여 gate pad 가 sidewall gate와 연결되도록 했다. ILD-2는 HDP deposition과 CMP 공정으로 평탄화하여 형성 하였다. DGVC cell 간의 구분을 위한 fin 분리는 Si 등방성 식각 및

이방성 식각으로 형성하였다. 또한 cell간 gap를 메우기 위해 ALD (Atomic Layer Deposition) oxide 을 사용하였다. 이 후 top S/D 은 SiN liftoff 공정을 통해 형성했다. 마지막으로 bottom S/D 및 gate pad contact을 형성하고 metal interconnection 공정으로 SGVC와 DGVC cell 의 fabrication 을 완료하였다. 그림5는 SGVC cell 의 TEM 이미지이다

3. 결론

본 논문에서는 새로운 1T DRAM cell를 제안하였고 처음으로 높은 집적도를 갖는 SGVC와 DGVC cell array 공정을 개발하였다. SGVC와 DGVC cell은 현재까지 제안 되어진 1T DRAM cell 구조 중 높은 집적도를 구현 하기에 가장 적합한 구조라고 확신한다.

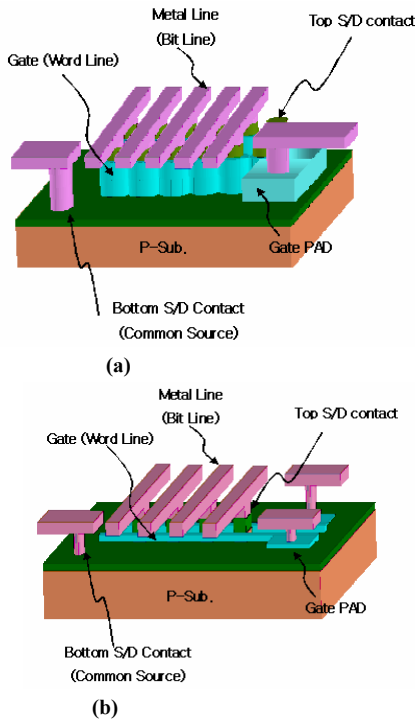
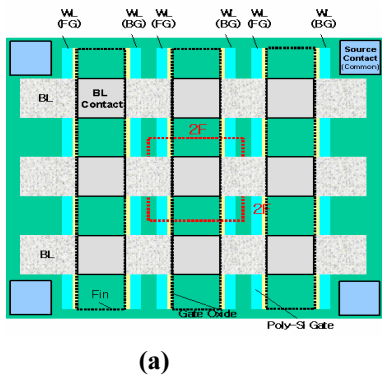
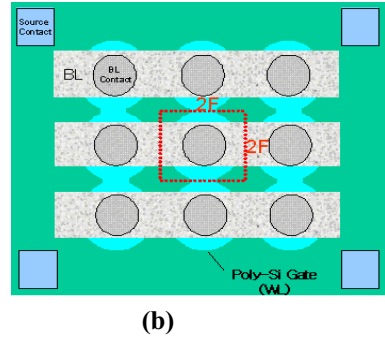


그림 2. 1T DRAM cell 입체도, (a) surrounding gate MOSFET with vertical channel (SGVC cell), (b) double gate MOSFET with vertical channel (DGVC cell)



(a)



(b)

그림3. 1T DRAM cell 평면도, (a) DGVC cell, (b) SGVC cell

- Channel/Source/Drain IIP
- Pillar & Fin formation
- Sidewall Gate formation
- Gate Separation (DG Type Only)
- ILD-1 formation
- Gate PAD formation
- ILD-2 formation
- Fin Separation (DG Type Only)
- Top S/D Contact
- Bottom S/D and Gate PAD Contact
- Metal interconnection

그림 4. SGVC and DGVC cell 공정 순서도

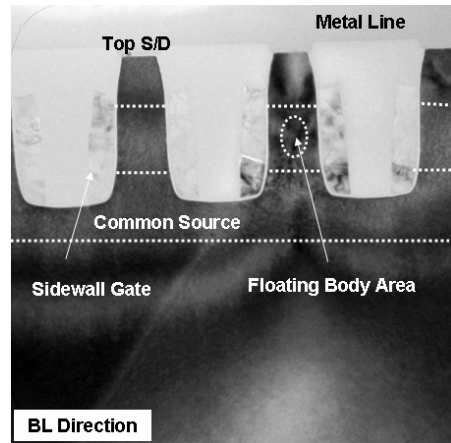


그림 5. SGVC cell 의 TEM images