

3차원 구조 소자에서의 doping profile에 따른 전류 특성 분석

조성재, 윤장근, 박일한, 이정훈, 김두현, 이길성, 이종덕, 박병국
서울대학교 공과대학 전기·컴퓨터공학부

Analysis of Current Characteristics Determined by Doping Profiles in 3-Dimensional Devices

Seongjae Cho, Jang-Gn Yun, Il Han Park, Jung Hoon Lee, Doo-Hyun Kim, Gil-Seong Lee,
Jong Duk Lee and Byung-Gook Park

Inter-university Semiconductor Research Center (ISRC) and
School of Electrical Engineering and Computer Science, Seoul National University
E-mail: felixcho@smdl.snu.ac.kr, Tel: 02-880-7279, Fax: 02-882-4658

Abstract

Recently, the demand for high density MOSFET arrays are increasing. In implementing 3-D devices to this end, it is inevitable to ion-implant vertically in order to avoid screening effects caused by high silicon fins. In this study, the dependency of drain current characteristics on doping profiles is investigated by 3-D numerical analysis. The position of concentration peak (PCP) and the doping gradient are varied to look into the effects on primary current characteristics. Through these analyses, criteria of ion-implantation for 3-D devices are established.

I. 서론

대용량 저장장치를 위한 메모리 소자 수요가 급증하고 있는 가운데 어레이의 면적을 축소하여 집적도를 높이고자 하는 노력이 다각도로 이루어지고 있다. 이러한 노력의 일환으로 여러 가지 3 차원 구조의 소자들이 제안되고 있는데 그 중 그림 1 과 같이 실리콘 fin 방향으로 채널이 형성되는 소자를 생각해볼 수 있다. 이 경우 인접 fin 들에 의한 screening 으로 인해 high angle 이온 주입이 어려워지므로 수직적인 이온 주입을 해야 한다. 이 경우 이온 주입 에너지와 drive-in 에 의한 doping gradient 의 변화가 전류 특성을 결정하는 주요 parameter

임을 예상할 수 있다 [1]. 본 논문에서는 3 차원 수치해석 시뮬레이션을 이용하는 MOS(metal-oxide-semiconductor) 구조를 형성하고 고정된 dose 에 대하여 이온 주입 에너지를 조절하여 doping profile 을 변화시켜가면서 소자의 전류 특성 변화 양상을 고찰하였다.

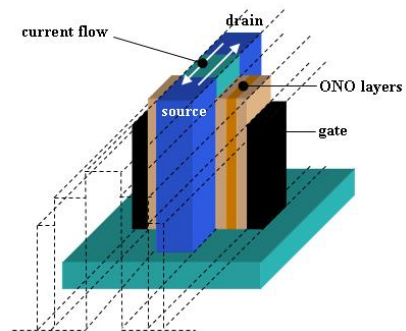


그림 1. 3 차원 구조를 갖는 메모리 소자의 예

II. 본론

그림 1 과 같은 double gate 구조의 3 차원 charge trap 메모리 소자를 생각해볼 수 있으며 memory node 를 제외한 그림 2 와 같이 단순화된 MOSFET 구조를 통하여 doping profile 에 의한 전류 특성을 살펴보았다.

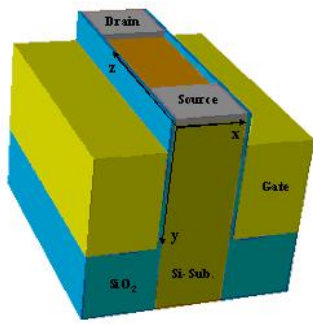


그림 2. 시뮬레이션을 위한 3 차원 MOSFET 구조

3 차원 수치 해석 시뮬레이션을 통하여 doping profile의 변화에 따른 동작 전류의 변화를 분석하였다. 시뮬레이션 수행에 있어서 독립 변수는 이온 주입과 activation을 위한 annealing 이후 얻어지는 최대 농도 지점과 source 및 drain 표면 사이의 거리이다(그림 3).

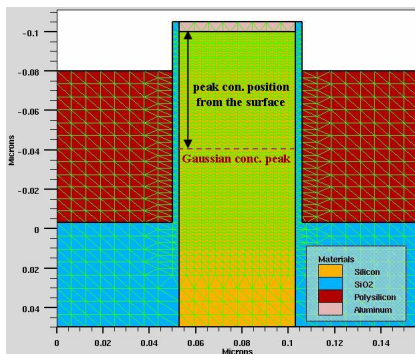


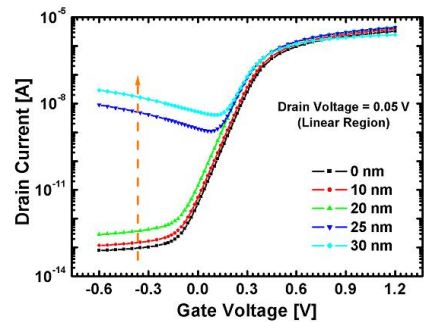
그림 3. 특성 분석의 주요 parameter 인 PCP(peak concentration position)의 정의

PCP = 0 이라는 것은 최대 농도 지점이 표면에 존재함을 의미하고 점차적으로 깊이 방향을 따라 PCP = 30 nm 인 지점까지 변화시켰다. 이는 PCP = 30 nm일 때 이온 주입의 상부 한계, 즉 도핑 농도가 기판의 농도와 동일해지는 지점이 표면에 존재하기 때문이다. 기판의 농도는 $1 \times 10^{16}/\text{cm}^3$, 이온 주입 최대 농도는 $1 \times 10^{20}/\text{cm}^3$ 이며 Gaussian 분포를 가정하여 이 지점으로부터 10 nm 되는 지점의 농도가 $1 \times 10^{13}/\text{cm}^3$ 가 되도록 하였다.

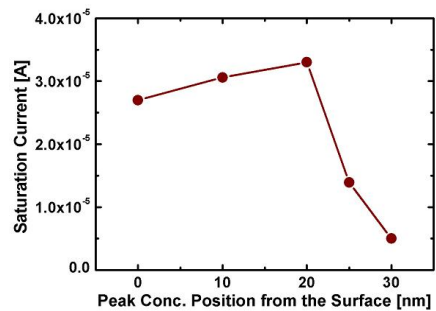
III. 결과 및 검토

시뮬레이션에 사용된 소자의 채널 길이는 100 nm, gate 산화막의 두께는 3 nm, source 및 drain의 면적은 $50 \times 50 \text{ nm}^2$ 이며 fin의 높이는 100 nm로 정하였다. PCP

가 커질수록 threshold voltage가 감소하는데 상부 접합이 표면에서 이탈하는 PCP = 30 nm 부근에서는 hole 축적 및 GIDL(gate induced drain leakage)로 인한 전류 성분은 급격히 증가하는 반면 drain 포화 전류는 감소하였다(그림 4.(a)) [2]. 동일한 dose의 이온을 주입했을 때 접합이 이루어지는 범위의 PCP에서는 접합의 정확한 위치보다는 doped region과 gate 간의 overlap이 넓을수록 구동 전류가 증가함을 확인할 수 있었다(그림 4.(b)).



(a)



(b)

그림 4. PCP에 따른 (a) Id-Vg 특성 곡선 (b) 포화 전류 ($V_{GS}=V_{DS}=V_{DD}=1.2 \text{ V}$)의 변화

* 감사의 글

본 연구는 삼성전자 ‘고집적화를 위한 SONOS 메모리 소자의 개발’과 과학기술부 ‘테라비트급 실리콘 기반의 비휘발성 메모리 개발’의 지원을 받아 수행되었습니다.

참고문헌

[1] Dong-Soo Woo, et al., “Electrical Characteristics of FinFET With Vertically Nonuniform Source/Drain Doping Profile,” *IEEE Trans. Nanotechnology*, vol. 1, pp. 233-237, Dec. 2002.
 [2] Yuan Taur, Tak H. Ning, *Fundamentals of Modern VLSI Devices*, pp. 99-100, Cambridge University Press, 1998.