

# 디지털 감지기를 통해 전류 특성을 조절하는 아날로그 듀티 사이클 보정 회로

최현수<sup>1,2</sup>, 김찬경<sup>1,3</sup>, 공배선<sup>1</sup>, 진영현<sup>3</sup>

<sup>1</sup>성균관대학교 정보통신공학부.

<sup>2</sup>삼성전자 시스템 LSI 사업부 ASIC/Foundry 사업팀

<sup>3</sup>삼성전자 메모리 사업부 DRAM 설계실

## Adaptive current-steering analog duty cycle corrector with digital duty error detection

<sup>1,2</sup>Hyun-Su Choi, <sup>1,3</sup>Chan-Kyung Kim, <sup>1</sup>Bai-Sun Kong, <sup>3</sup>Young-Hyun Jun

<sup>1</sup>School of Information and Communication Engineering, Sungkyunkwan University

<sup>2</sup>ASIC/Foundry Business Team, System LSI Division, Samsung Electronics

<sup>3</sup>DRAM Design Team2, Memory Division, Samsung Electronics

E-mail: [hyns.choi@samsung.com](mailto:hyns.choi@samsung.com), [chank.kim@samsung.com](mailto:chank.kim@samsung.com), [bskong@skku.edu](mailto:bskong@skku.edu), [yhjun.jun@samsung.com](mailto:yhjun.jun@samsung.com)

### Abstract

In this paper, novel analog duty cycle corrector (DCC) with a digital duty error detector is proposed. The digital duty error detector measures the duty error of the clock and converts it into a digital code. This digital code is then used to accurately correct the duty ratio by adaptively steering the charge-pump current. The proposed duty cycle corrector was implemented using an 80nm DRAM process with 1.8V supply voltage. The simulation result shows that the proposed duty cycle corrector improves the settling time up to 70~80% at 500MHz clock frequency for the same duty correction accuracy as the conventional analog DCC.

### I. Introduction

Double data rate synchronous DRAM (DDR SDRAM)이나 analog-to-digital converter (ADC) 등의 시스템들은 다중 위상의 클럭을 사용하기 때문에 50% duty cycle ratio를 보장하는 것이 필수적인 설계 요소이다. 높은 정확도의 duty ratio를 보장하기 위해서는 아날로그 방식의 DCC[1]가 주로 사용되는데, 이는 duty error에 대한 정보를 capacitor에 저장하기 때문에 전력소모를 줄이기 위해 power-down mode에서 DCC 회로를 power-off시킬 경우 누설전류에 의해 duty error에 대한 정보가 손실된다. 그러므로, power down mode에서 active mode로 진입 시, duty cycle로 보정하기 위한 settling time이 커지게 된다. 본 논문에서는 이러한 문제점을 해결 하고자, charge pump의 current gain을 adaptive하게 조절할 수 있는 새로운 아날로그 DCC 회로를 제안하고자 한다.

### II. Proposed Duty Cycle Corrector

Fig.1은 본 논문에서 제안하는 adaptive current-steering duty cycle corrector (ACS-DCC)의 전체적인 구조를 나타낸다. ACS-DCC는 입력된 clock 신호의 duty error를 보정하는 CORRECTOR 부분과 DCC capacitor에 adaptive하게 전류를

공급하는 DCCPUMP 부분, clock 출력의 duty error ratio를 감지하여 이를 디지털 code로 변환해 주는 DUTY ERROR DETECTOR 부분, 그리고 아날로그 clock을 디지털 clock으로 변환하는 ADBUFFER 부분 등으로 구성된다.

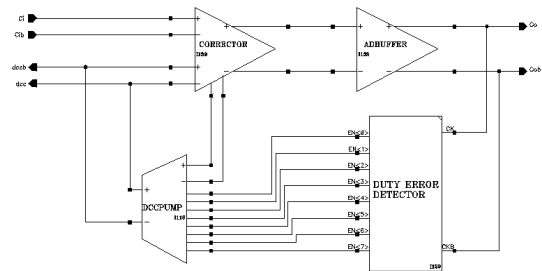
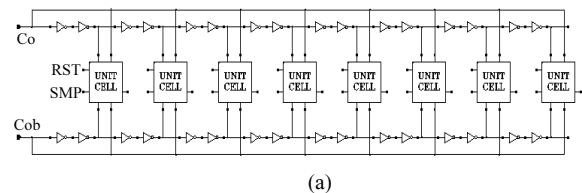


Fig. 1 Proposed analog duty cycle corrector.

Fig. 2에 자세히 나타낸 DUTY ERROR DETECTOR는 디지털 delay cell을 이용하여 디지털 clock 출력의 duty error를 감지하며, 이를 디지털 code로 다시 저장하게 된다. 즉, 디지털 clock 출력의 high period 및 low period는 Fig. 2(a)의 회로를 통해 측정되는데, 각각의 unit cell은 Fig. 2(b)에서 보는 바와 같이, clock과 /clock의 pulse width를 master latch에 저장한 후에 XOR gate에 의해 duty error를 slave latch에 디지털 code로 저장하게 된다. 이렇게 저장된 디지털 code는 DCCPUMP에 내장된 binary-weighted 혹은 thermometer-coded current source의 전류의 양을 조절하기 위하여 사용되는데, 이는 duty error의 크기에 따라 adaptive하게 current steering을 가능하게 해 준다.



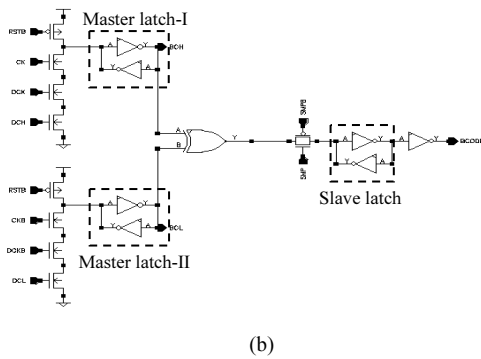


Fig. 2 Digital duty error detector: (a) overall block diagram (b) unit cell structure.

Fig. 3 은 디지털 duty error detector의 동작에 대한 timing diagram을 보여주고 있다. 그림에서 보는 바와 같이, Co와 Cob 각각의 high period에 대한 delay를 측정하기 위해 unit cell 내부에 있는 master latch를 순차적으로 “H”로 전환시키게 되는데, 이 경우 Fig. 2(b)의 위쪽의 master latch는 Co, 아래쪽의 master latch는 Cob에 대한 duty 정보를 각각 가지게 된다. Co의 high 구간에서 master latch에 저장된 각각의 “H”는 Cob의 high 구간에서 발생된 “H”와 XOR function이 진행되고 매 주기마다 Co에 의해 발생되는 SMP pulse가 high가 되는 구간에서 slave latch에 디지털 정보를 저장하게 된다. 또한 SMP에 이어서 발생된 RST에 의해 Co, Cob의 master latch는 reset이 된다. 이때 duty error에 따라 발생된 디지털 code는 DCCPUMP의 current gain을 적절하게 조절하게 된다.

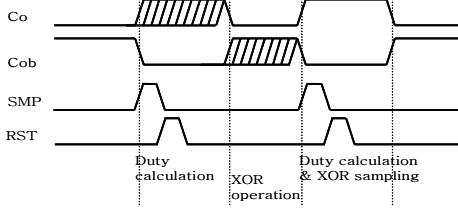


Fig. 3 Digital duty error detector의 timing diagram.

Fig. 4는 adaptive current steering current pump회로의 구조를 나타낸다. Digital duty error detector에서 생성된 8-bit 디지털 code는 그림에 나타난 adaptive current steering pump의 binary-weighted 혹은 thermometer-coded 형태로 구성된 8개의 current source에 연결되어 이들을 적절하게 on/off 하도록 구성되어 있다. 이 경우, 각각의 경우에 사용될 수 있는 current source의 크기는 Table 1에 나타나 있으며, 이를 이용하여 duty error ratio가 클 경우와 작을 경우에 대하여 current gain을 자유롭게 조절할 수 있다. 동작 주파수가 일정하지 혹은 가변적인지에 따라 binary-weighted current source, thermometer-coded current source를 적절히 선택하여 사용할 수 있다.

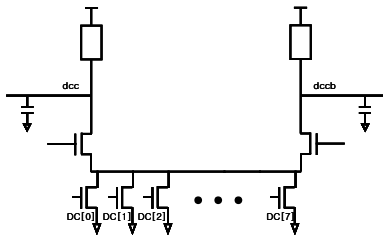


Fig. 4 Adaptive current steering current pump

	DC[0]	DC[1]	DC[2]	DC[3]	DC[4]	DC[5]	DC[6]	DC[7]
BW	4I	2I	I	I	I	I	2I	4I
TMC	I	I	I	I	I	I	I	I

Table 1 Digital code 별 current strength: BW (binary weighted), TMC (thermometer-coded)

### III. Simulation Comparison

제안된 회로의 성능을 검증하고자, DRAM 80nm 공정을 이용하여 공급 전압 1.8V에서 동작하는 ACS-DCC를 설계하였다. Fig. 5은 설계된 회로에 대한 SPICE를 이용한 simulation 결과를 보여주고 있는데, 동작 주파수 500 MHz에서 ordinary 및 maximum current gain을 갖는 conventional 아날로그 DCC와 proposed ACS-DCC에 대한 각각의 settling time을 나타낸다. Settling time이 12 $\mu$ s로 설계된 ordinary current gain을 갖는 conventional 아날로그 DCC에 비해 maximum current gain을 가진 conventional 아날로그 DCC의 settling time은 약 90%가 개선 되지만 jitter는 16배 가량으로 증가한 것을 알 수 있다. 즉, 기존의 아날로그 DCC는 고정된 current gain으로 인해 settling time과 정확도간의 trade-off가 발생하게 된다. 하지만 제안된 ACS-DCC의 경우는 duty error ratio가 큰 보정 초기 구간에는 conventional 아날로그 DCC보다 16배의 current gain을 갖게 되어 duty error를 빠르게 보정하지만, duty error ratio가 점차 작아짐에 따라 current gain도 감소하기 때문에 conventional 아날로그 DCC와 동일한 정확도를 가지면서도 settling time이 약 70~80% 개선된 결과를 보여주고 있다.

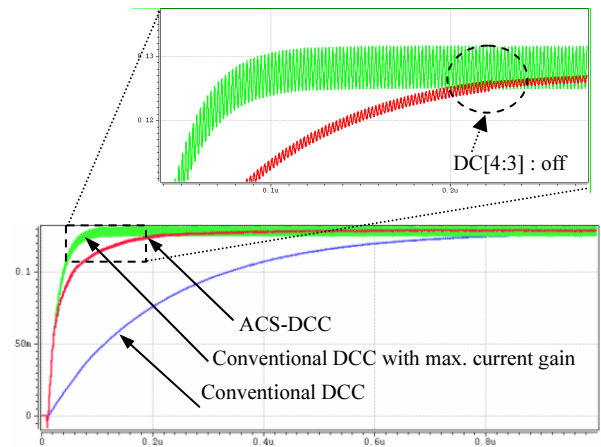


Fig. 5 Settling time에 대한 시뮬레이션 결과

### IV. Conclusion

본 논문에서는 디지털 duty error detector를 가지는 adaptive current steering analog duty cycle corrector (ACS-DCC)를 제안하였다. 제안된 ACS-DCC는 매 사이클마다 duty error ratio를 디지털 code로 감지 함으로써 duty error ratio에 따른 adaptive current steering이 가능하다. 또한 500MHz 동작 주파수에서 duty error ratio가 3:7일 때, 기존의 아날로그 DCC와 동일한 정확도를 유지하면서 settling time은 약 70%~80% 개선된 수준으로 구현이 가능하였다. 이러한 ACS-DCC를 적용하게 되면 high accuracy, fast settling이 보장되기 때문에 power down mode에서 DCC를 off 함으로써 DCC에서 발생하는 전력 소모를 줄일 수 있다.

### V. References

[1] Thomas H. Lee, Kevin S. et al., "A 2.5V CMOS Delay-Locked Loop for an 18 Mbit, 500Megabyte/s DRAM" IEEE J. Solid-State Circuits, Vol. 29, No. 12, pp. 1491-1496, Dec. 1994